

ILC バーテックス検出器に向けた SOI ピクセルセンサーの開発研究

Development of SOI pixel sensors for the ILC vertex detector

東北大学大学院理学研究科 物理学専攻 加速器科学研究室
李 韜瀚

1 研究背景

現在の進められている国際リニアコライダー計画 ILC では、ヒッグス粒子の精密測定から標準模型の実証及び新物理の探索が期待されている。ILC の衝突で作り出された物理のイベントを精密に測定しなければ物理の情報が得られないため、ILC 測定器の性能も高く要求されている。測定器の中で一番崩壊点に近いところに、崩壊点を再構成するためにバーテックス検出器システムが設置される。ILC のバーテックス検出器には、ヘビークォークとタウレプトンの識別という役割が要求される。ピクセル型のバーテックス検出器は、高精度の位置・時間分解能を持つことで崩壊後の粒子の飛跡を再構成することができる。ILC の測定器 ILD に搭載するバーテックス検出器は、高い位置分解能・時間分解能と軽い物質質量などが要求される。

SOI 技術を用いたピクセルセンサーは図 (1) に示すようにセンサー・回路一体化し、CMOS を搭載した回路部は BOX 層 (酸化膜) の上にあり、センサー部はバイアス電圧をかけることで完全空乏化が実現できるという特徴を持っている。SOI 技術で作った SOFIST は物質質量が低く、そして ILC に求められている位置分解能 $3\mu\text{m}$ 、時間分解能 554ns を目指し、開発を進めている。

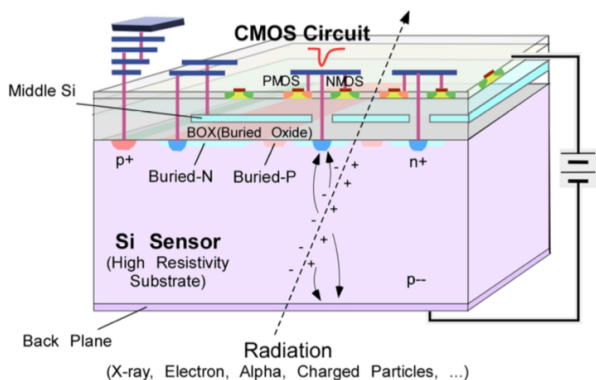


図 1: SOI ピクセルセンサーの構造

2 SOI ピクセルセンサー SOFIST

2.1 SOFIST の開発

SOFIST の主要機能実装に向けた試作チップ設計開発は 2014 年より開始された。現段階での試作開発で以下の 4 段階による開発と評価を計画している。

- version 1, アナログシグナル用ピクセル回路、Column ADC 回路の実装
- version 2, タイムスタンプ用ピクセル回路、ゼロサプレッション回路の実装
- version 3, アナログシグナル・タイムスタンプピクセル回路の統合
- version 4, 三次元積層化

Ver.1 から Ver.4 までの試作センサーチップの開発によって、ピクセルに搭載されるべき読み出し回路の機能の検証ができ、徐々に ILC の要求に近づけて設計開発を行う。2017 年のビームテストによって ver.1 ヒット検出・シグナル AD 変換機能の実現したことが検証され (先行研究), Ver.2 は 2018 年のビームテスト及び本論文で述べる様々なテストによって評価された。

本修士論文では、Ver.2 のチップにおいて時間計測機能、時間応答性能の改善点、及び電荷収集・損失の特性などを評価し、次の SOFIST バージョンの設計または他の加速器実験向けの SOI ピクセルセンサーの設計へとつなげていく道筋をつけることを目標とする。

2.2 SOFIST ver.2

SOFIST ver.2 のセンサーチップは 2016 年 1 月に MPW (Multi Project Wafer) run によってチップ製造が完了されている図 (2) は SOFIST ver.2 のチップ概要 (左) と全体レイアウト (右) を示す。64 × 64 個のタイムスタンプメモリ (ver.2 から搭載し始めた) を搭載したピクセルと 16 × 64 個のアナログシグナルメモリ (ver.1 によって動作実証済み) を搭載したピクセルがあり、各ピクセルサイズは $25\mu\text{m}$ 角である。チップ全体の動作としては、ピクセルからヒット検出し、測定したアナログ値を Column ADC 及び Zero-suppression logic によって ADC 変換して読み出す。SOFIST では一つのピクセルにタイムスタンプメモリとアナログシグナルメモリ両方搭載することを目指すのが、ver.2 は機能検証のため分けて設計された。

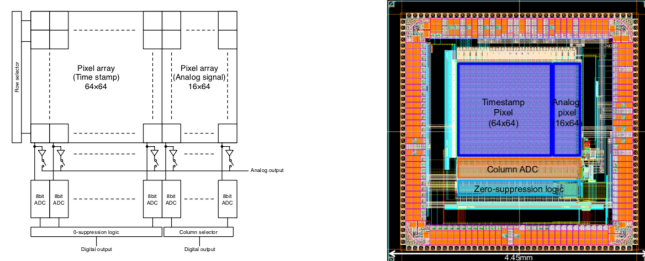


図 2: SOFIST version 2, 左: チップ概要、右: 全体レイアウト。

3 ビームテスト

2018 年 2 月下旬から 3 月上旬まで約 2 週間に渡り、Fermilab で 120 GeV の陽子ビームの照射下で SOFIST ver.2 のビームテストを行った。多重散乱の影響を避けるため、ILC に向けた SOFIST は Fermilab の 120 GeV のテストビームを使って性能評価を行う。

3.1 時間分解能の解析結果 (preliminary)

図(3)は時間分解能についての解析結果を示す。この時間分解能の結果は、2枚のセンサーによって検出されたTDCを時間に直した後の残差である。この解析結果では時間分解能が $4.50\ \mu\text{s}$ という結果が得られた。

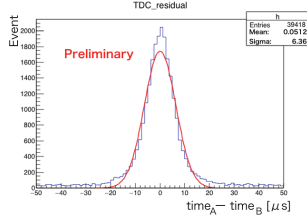


図 3: 時間分解能 (二枚のセンサーの TDC の残差)。

4 時間測定の評価

4.1 時間応答の線型性

タイムスタンプの時間読み出し値 (TDC) は、実際のタイミングと一次関数の関係となる。各タイミングにおいてテストパルスの入力と赤外線レーザー照射をそれぞれ行い、測定結果を一次関数にフィットした (図 (4))。

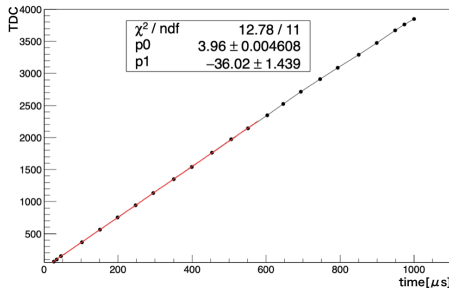


図 4: 時間と TDC の関係。

図 (4) は 0 から $1000\ \mu\text{s}$ までの時間を測定した結果で、フィッティングの範囲は 0 から $400\ \mu\text{s}$ までを行った。図 (5) は各プロットからフィッティングとの残差の結果を示す

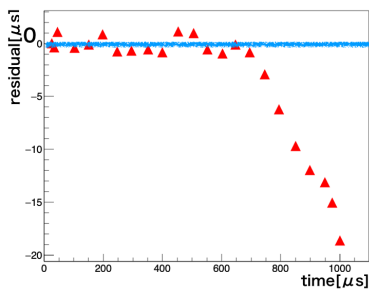


図 5: プロットがフィッティングからの残差。(横軸は時間、縦軸は残差、横軸と縦軸の単位は μs)

図 (5) では $600\ \mu\text{s}$ 以降になると各プロットはフィッティングから落ちるような傾向を示す。本修士論文ではこの線型性が崩れる原因を試験で試し、ピクセル回路における出力アンプが 600mV 以上の電圧に対してゲインが低下するのが原因であるという結論が得られた。

4.2 時間分解能

図 (6) はレーザー照射による TDC 分布のシグマが各時間におけるプロットを示す。レーザーによる時間分解能の測定結果は、 720ns 前後という結果が得られた。

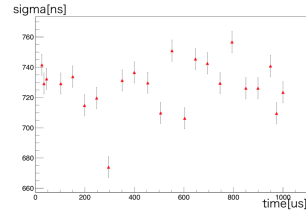


図 6: 各時間におけるレーザー照射による TDC 分布のシグマのプロット。

5 電荷収集・損失の位置依存性についての評価

本修士論文は赤外線レーザーを用い、アナログシグナルメモリを搭載したピクセルを照射し、電荷収集・損失の位置依存性について評価した。実験目的は、SOFIST の設計当時にバックゲート効果抑制のために BNW (Buried N-Well) をピクセル回路部に下に設計され、機能検証のため、BNW を 3つのサイズをそれぞれのピクセル領域に搭載した。BNW のサイズによってどのような影響を及ぼすか、または BNW のサイズはどれぐらいでいいかについて評価することで、次のバージョンの設計に役に立つ。

結論として、電荷収集の位置依存性は空乏層の厚さに依存する。空乏層が厚いほど、電荷収集の広がりが小さく、電荷収集の性能がいいと示される。ピクセル境界における電荷損失は、BNW (Buried N-Well) の大きさに依存する。BNW が大きいほど、ピクセル境界における電荷損失が少なく、性能がいいと示される。また、BNW がゲイン低下させる問題があると予想されたが、測定結果では BNW がセンスノードとして機能する寄与のほうがはるかに大きく、BNW のサイズを $16\ \mu\text{m}$ まで大きくするとシグナルも多いという結果が得られた。

6 まとめ

今回の SOFIST ver.2 の時間分解能は 720ns であるとレーザー照射で確認した、ILC ビームバンチの 554ns に対して、イベントを二個または三個のビームバンチまで特定することができる。また、占有率は小さいと思われるので、SOFIST ver.2 の時間計測性能は ILC に使うことができると考えられる。

これからの SOI ピクセルセンサーの設計において、BNW を $16\ \mu\text{m}$ というサイズで設計すると電荷損失が少なく、そしてより多くのシグナルも収集することができると確認した。

参考文献

- [1] 小野峻. 総合研究大学院大学, 2017, 博士論文.
- [2] ILC Technical Design Report
- [3] 関川大介, 筑波大学, 2017, 修士論文.
- [4] Miho Yamada ,et al,IEEE NSS, Semiconductor Detector I, N-29