

# ASIC開発 (1)

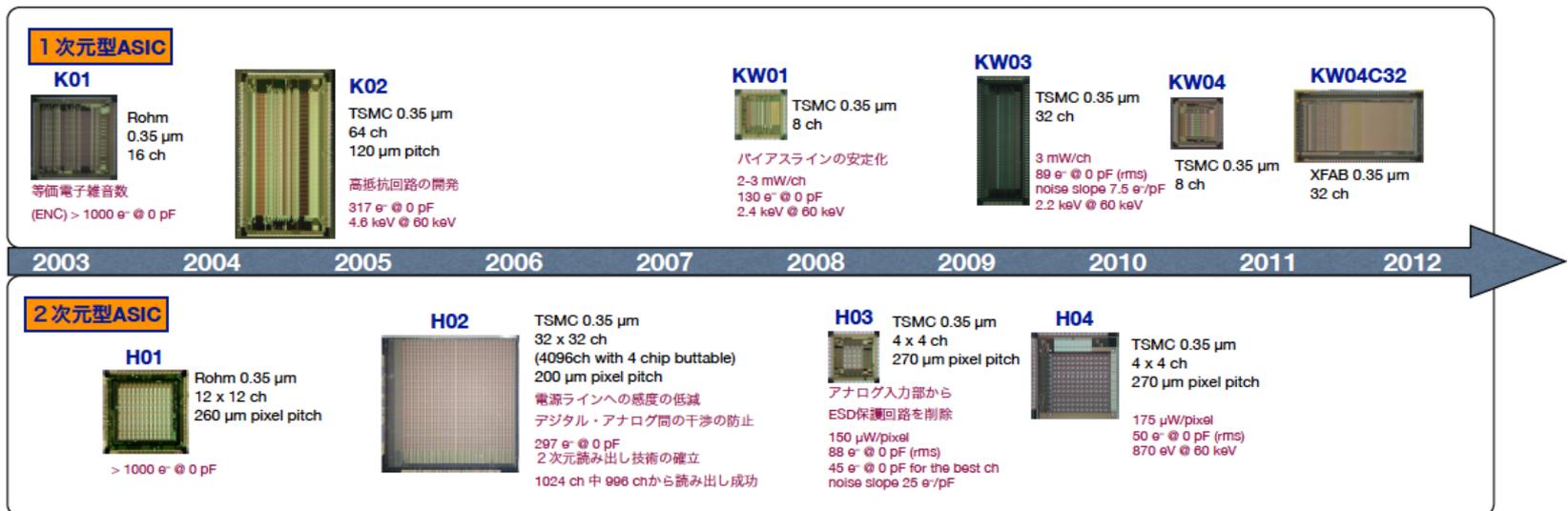
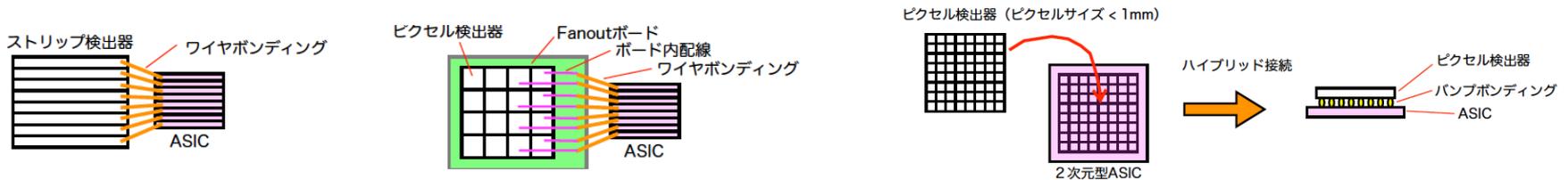
## 硬X線・ガンマ線検出器用 低雑音アナログASICの開発

2016年3月4日 新学術領域 中性子星核物質 第二回検出器ワークショップ

原山淳、佐藤悟朗、池田博一、高橋忠幸、渡辺伸 (ISAS/JAXA)  
織田忠、武田伸一郎 (OIST)、米徳大輔 (金沢大)

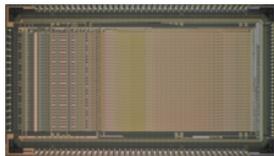
# 概要(目的)

- ・ 硬X線・ガンマ線観測を目的に、SiやCdTe半導体を用いて200um – 300 umピッチの撮像素子の開発を進めてきた。
- ・ その実現には、高密度に実装された電極からの信号の読み出し技術の開発が鍵である。
- ・ そこで、主にストリップ検出器の端部に接続することを意図して、内部に信号処理回路を短冊状に並べた**1次元型**の読み出しASICと、ピクセル検出器の各ピクセル直下から読み出す方式の**2次元型**の読み出しASICの開発を行っている。
- ・ 要求条件は、硬X線用として  $ENC < 100 e^- @ 100 keV$ 、ガンマ線用として  $ENC \sim 300 e^- @ 1 - 2 MeV$  の低雑音アナログASICが必要である。



# 1次元型 ASICの開発

KW04C32

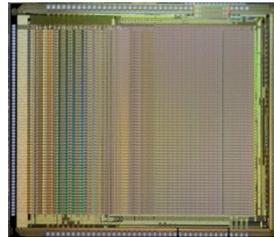


XFAB 0.35  $\mu\text{m}$ , 32 ch

ENC < 100  $e^-$  @ 100 keV  
(G.Sato et al. 2011)

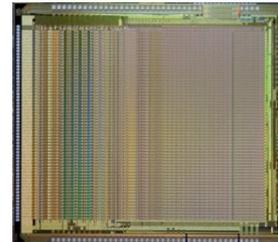


KW04H64



64 ch, 機能拡張  
ENC < 100  $e^-$  @100 keV

KW04G64



64 ch,機能拡張 広帯域化  
ENC  $\sim$  300  $e^-$  @ 1-2 MeV

- Chip Size: 7.8 mm x 7.1 mm
- XFAB 0.35  $\mu\text{m}$  CMOS
- Strip pitch: 91.2  $\mu\text{m}$
- Pad area: 64 x 90 $\mu\text{m}$
- Power rail +1.65 V, -1.65V
- Power Consumption: 0.8 mW/ch

## • 両極性対応

検出器信号の極性によりADCとトリガー出力用コンパレータの動作の向きを変更する。

## • リーク電流補償回路

入力部の電位を維持するように電流出力

## • ゲイン(ダイナミックレンジ)調整

プリアンプの帰還容量をMOSスイッチで変更  
High gain mode/ Low gain mode

## • ベースライン電圧の調整

粗調: 抵抗回路の実効値を電流DACで調節  
微調: 電流DACの出力を抵抗に流して調節

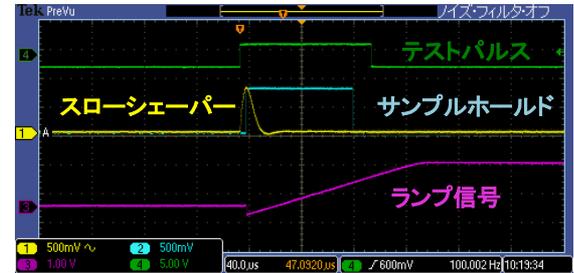
## • コモンモードノイズ演算機能

## • 読み出しモード選択(Full/Sparse)

全ch読み出す  
トリガーしたchだけを読み出す

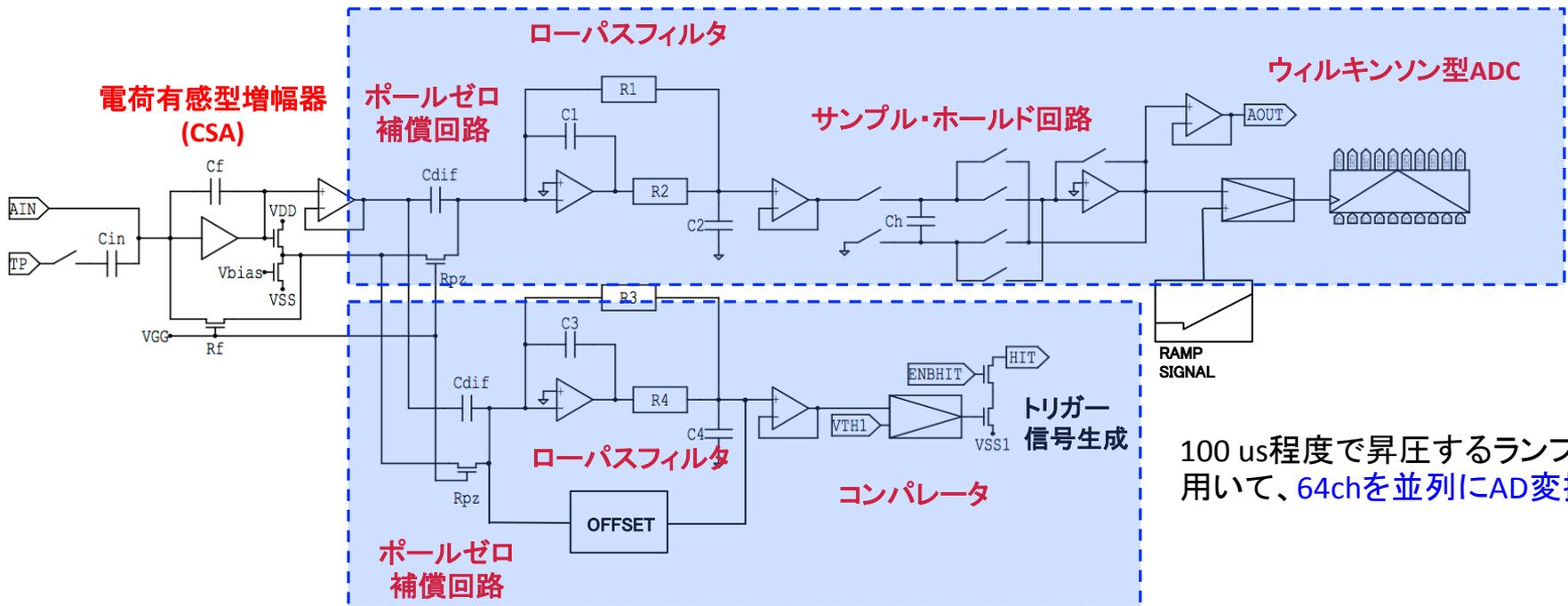
アナログヒットでSparse読み出しをするモードとAD変換した結果からCMNを引き算した結果にデジタル的に閾値をかけて読み出すモードがある。

# 回路の構成



## 回路の構成 (1 channel 当りの信号処理回路)

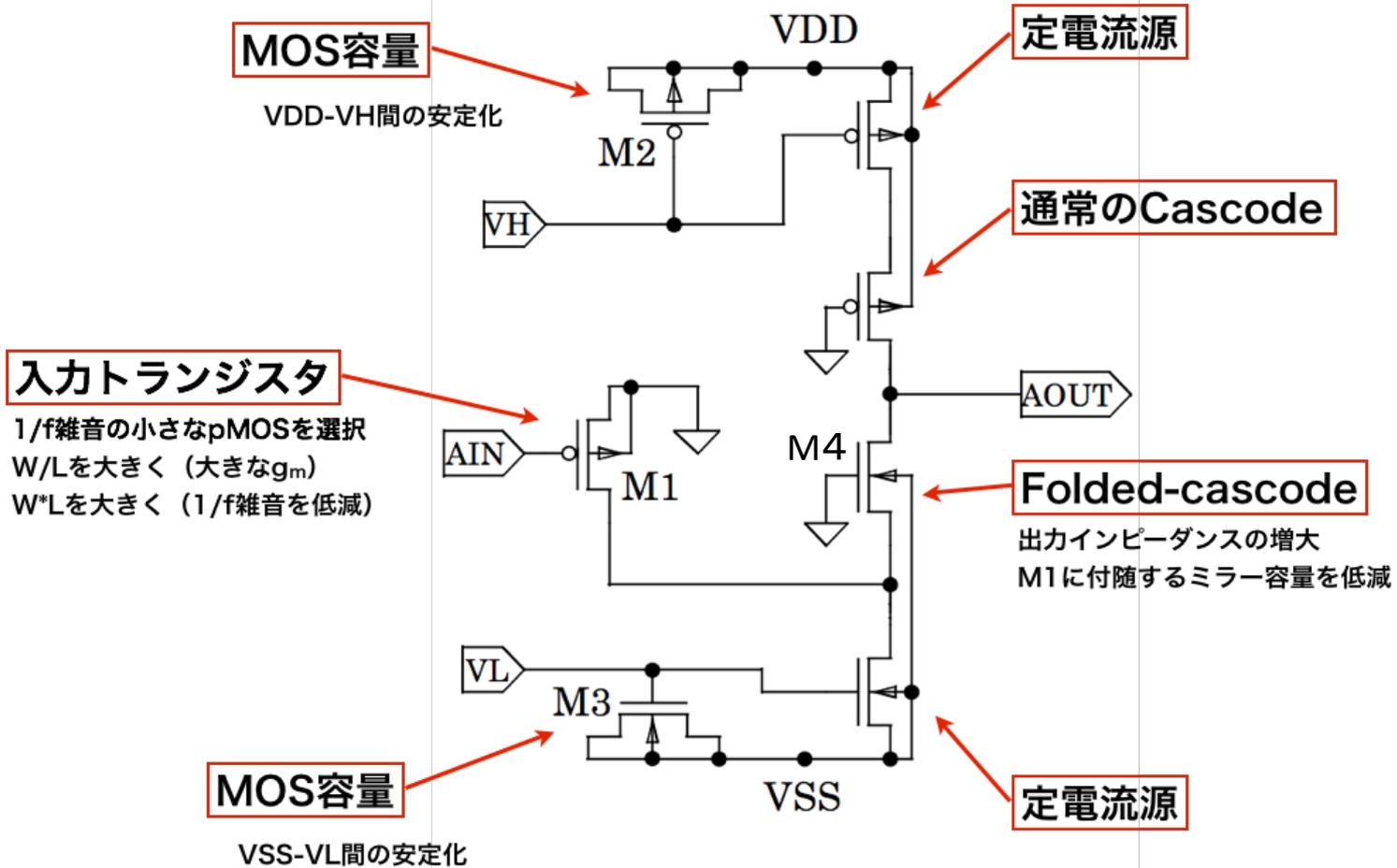
スペクトル用 Slow shaper 系統 5-10 us shaping time



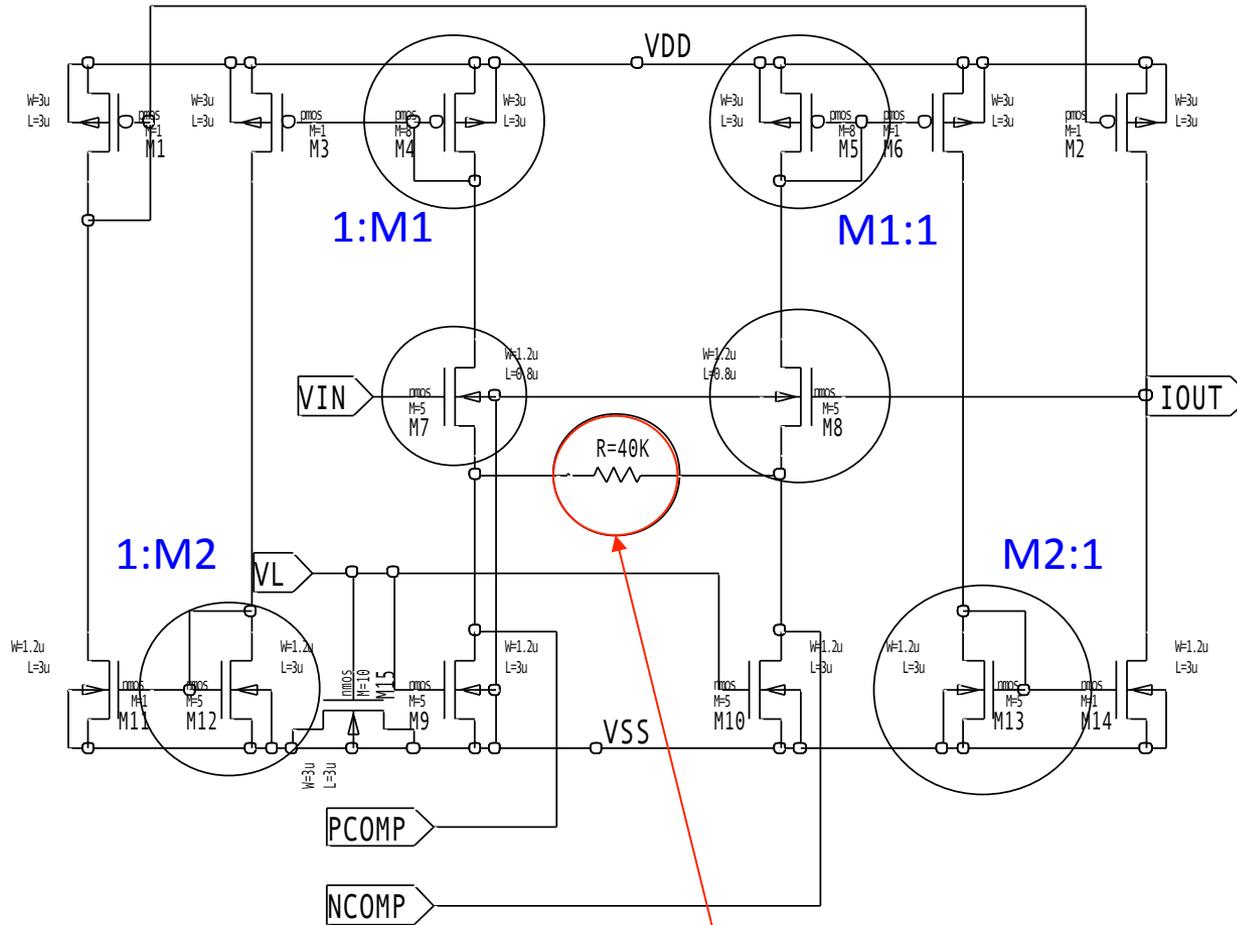
100 us程度で昇圧するランプ信号を用いて、64chを並列にAD変換する

トリガー生成用 Fast shaper 系統 1-2 us shaping time

# 低雑音の電荷有感型増幅器(CSA)



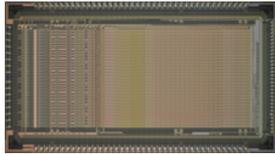
# シェーピング回路に用いられる抵抗回路



制約のある集積回路において、シェーパーの時定数を自在に設定するのに必要な高抵抗を実効的に得るために、 $R$ を流れる電流を2段のミラー回路で減衰させている。

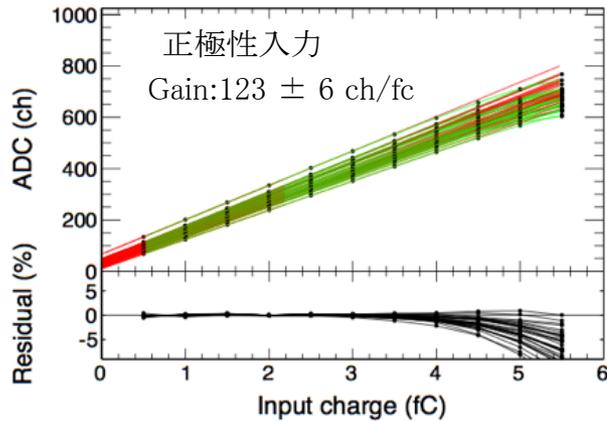
# ASICの基礎性能

KW04C32

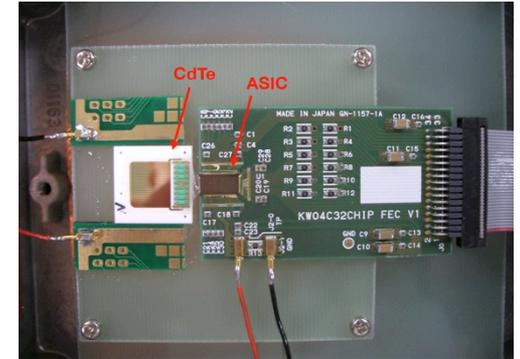
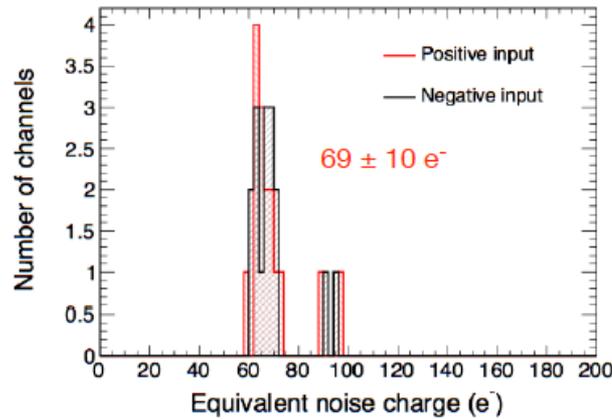


XFAB 0.35  $\mu\text{m}$ , 32 ch  
 ENC < 100  $e^-$  @100 keV  
 (G.Sato et al. 2011)

線形性



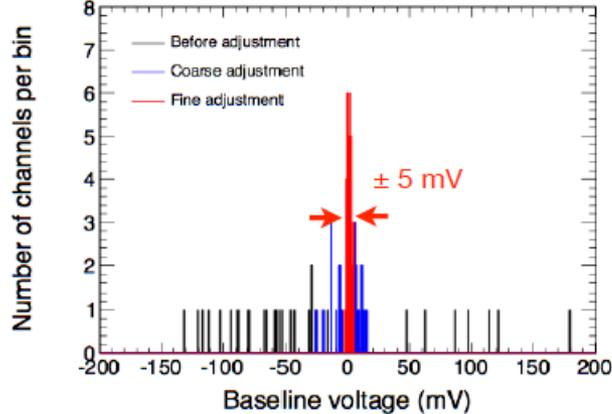
ノイズ (ENC) 分布



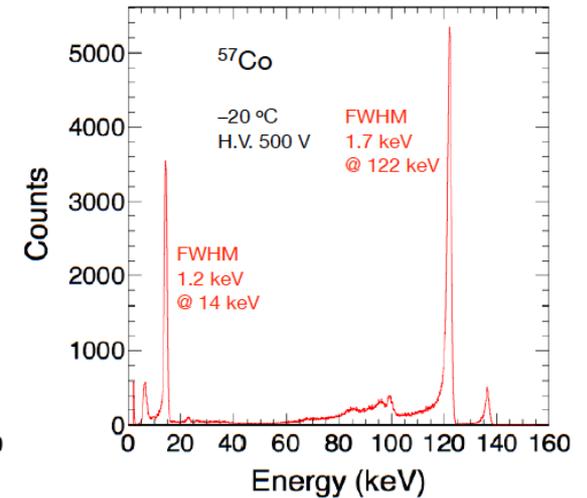
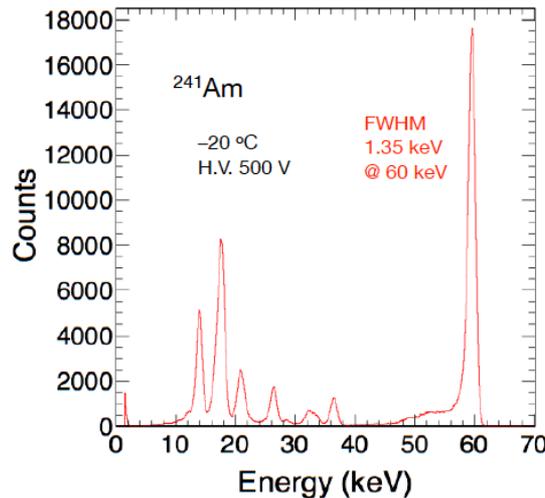
CdTe ストリップ検出器

検出器サイズ: 10 mm x 10 mm  
 厚み: 0.75 mm  
 ストリップ数: 32 strips  
 ストリップ間隔: 250  $\mu\text{m}$  (50  $\mu\text{m}$  gap)

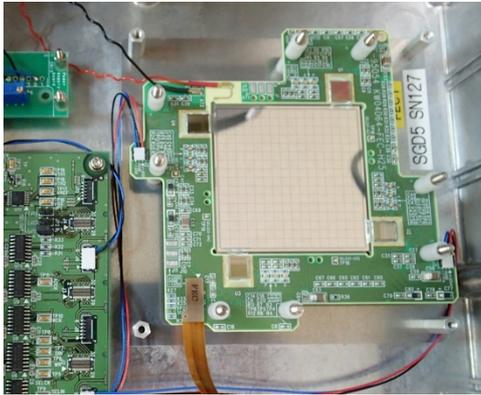
ベースライン電圧の調整



スペクトル性能

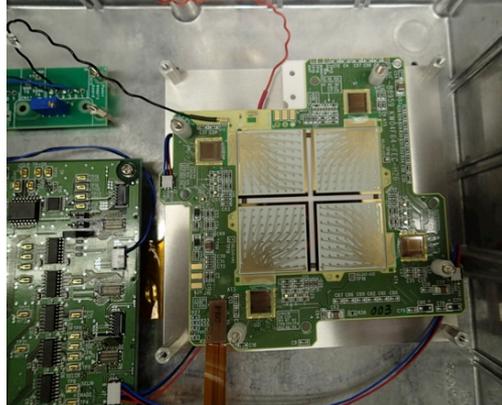
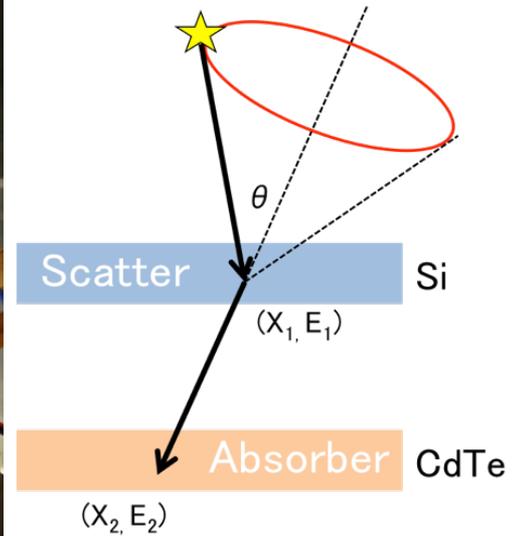
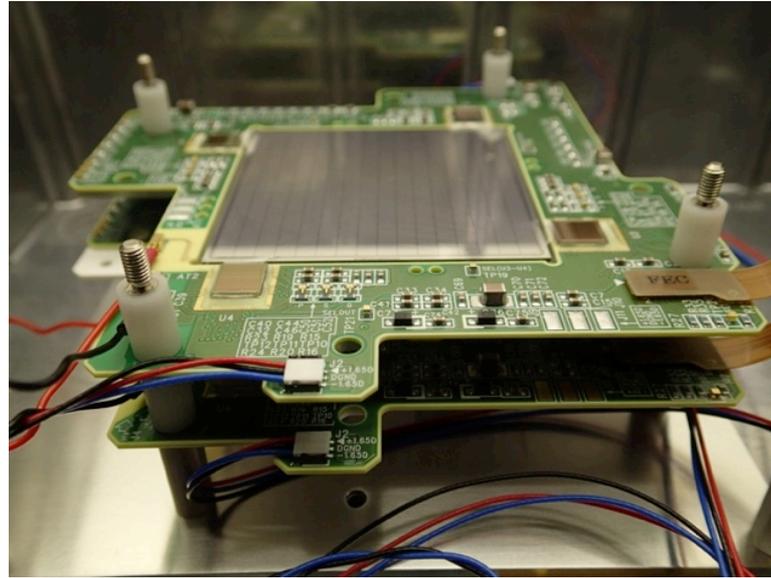


# 検出器への実装



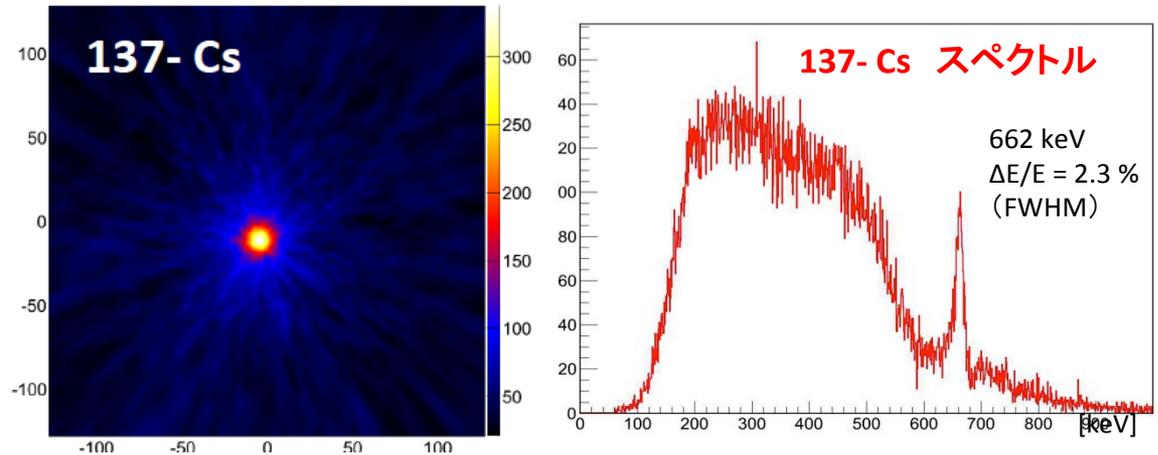
Si ピクセル検出器

- 検出器サイズ: 54 mm x 54 mm
- 厚み: Si 0.6 mm
- ピクセル数: 256 pixel
- ピクセルサイズ: 3.2 mm x 3.2 mm



CdTe ピクセル検出器

- 検出器サイズ: 25.8 mm x 25.8 mm x 4枚
- 厚み: CdTe 0.75 mm
- ピクセル数: 64 x 4枚 = 256 pixel
- ピクセルサイズ: 3.18 mm x 3.18 mm

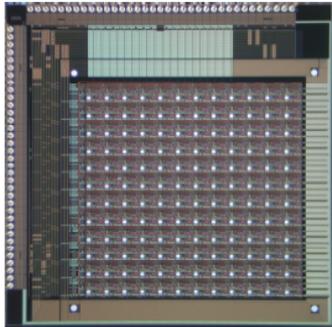


ASICを実装し、Si/CdTe コンプトンカメラとしての実証試験に成功した。  
 今後、VATAチップから池田チップへと移行していく。

# 2次元型 ASICの開発

H04

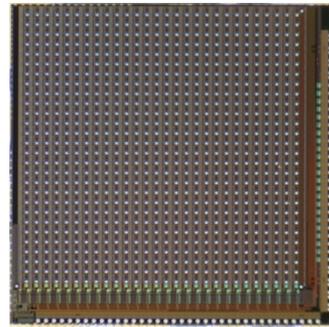
(ISAS Version G.Sato et al. 2009)



- Chip Size: 2.95 mm x 2.95 mm
- Process: TSMC 0.35  $\mu$ m CMOS
- Pixel size: 270  $\mu$ m x 270  $\mu$ m
- Channels: 12 x 12 = 144
- Power rail +1.65 V, -1.65V
- Power consumption: 150  $\mu$ W/ch
- ENC: 47 e<sup>-</sup> @0 pF

OIST\_TOP01A784

(2017/01~)



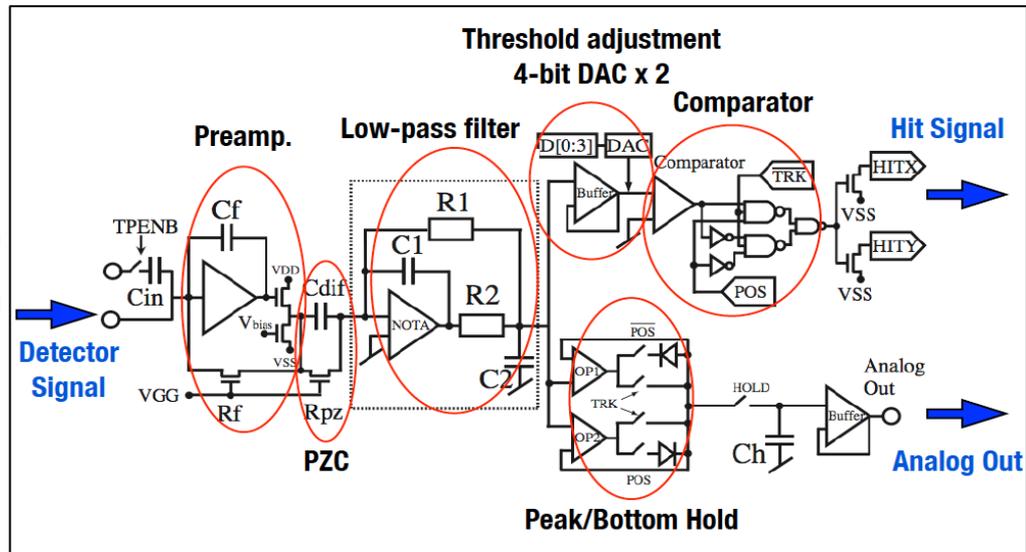
- Chip Size: 8 mm x 8 mm
- Process: TSMC 0.35  $\mu$ m CMOS
- Pixel size: 250  $\mu$ m x 250  $\mu$ m
- Channels: 28 x 28 = 784
- Power rail +1.65 V, -1.65V

Digital circuit

Analog circuit

Pad

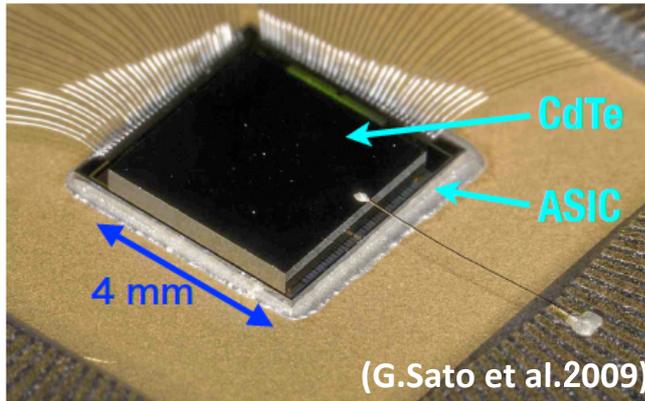
## 1 channel 当りの信号処理回路



OISTチップには、さらにウィルキンソン型ADCを組み込み、1行毎に同時(並列)にAD変換させている(現在動作試験中)

# ASICの性能

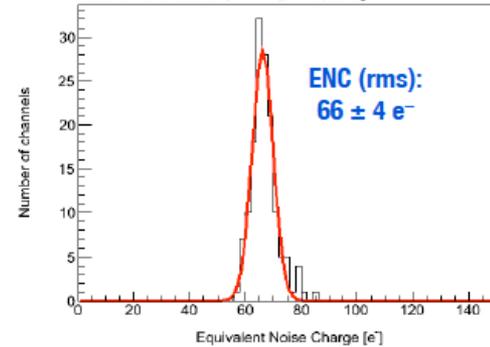
金のスタッドバンプを介して、CdTe素子とASICを垂直方向積層している。



A hybrid CdTe/ASIC

270  $\mu\text{m}$  pixels  
144 ch

全144chのノイズ分布



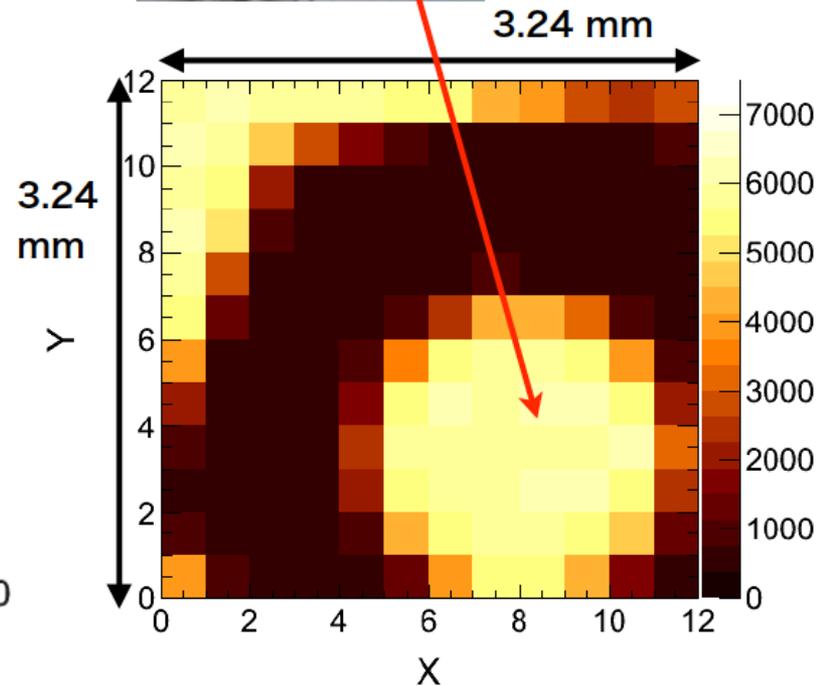
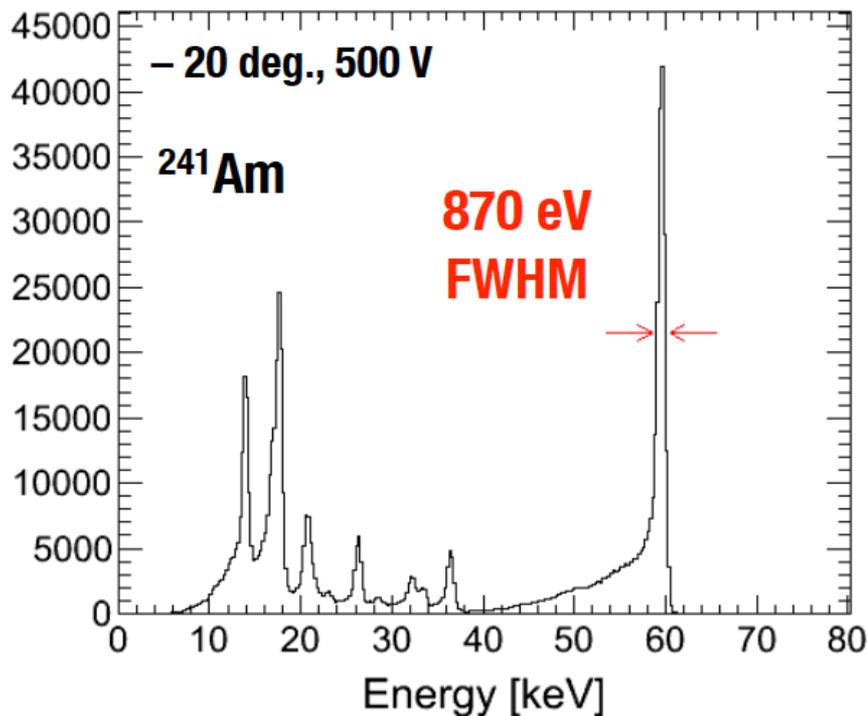
ENC (rms):  
 $47 e^- @ 0 \text{ pF}$



Nut  
 $\Phi 2 \text{ mm}$

59.5 keV  
shadow image

Composite spectrum of the 144 ch (single hit)



# まとめ

- ・ 硬X線、ガンマ線観測を目的として、低雑音アナログASICの開発を進めている。
- ・ 主にストリップ検出器用として1次元型の読み出しASICと、ピクセル検出器の直下から読み出す2次元用のASICの開発を行っている。
- ・ 低雑音ASICの技術は、池田研+高橋研がこれまで蓄積してきた回路ブロックライブラリ(池田IP)をベースとしている。
- ・ 1次元型ASICは、ダイナミックレンジを異なる KW04H64(64ch, ENC < 100 e<sup>-</sup> @100 keV), KW04G64(64ch, ENC ~ 300 e<sup>-</sup> @1-2 MeV) の2種類あり、検出器に実装しての動作試験に成功している。今後VATAチップから池田チップへと移行を考えている。
- ・ 2次元型ASICは、ISAS Version(H04)を拡張させたOIST TOP01A784 のチップを試作したところ。現在、順調に動作試験を進めている。

以上