

C01班に関するハードウェアの話題

C01班

高橋 忠幸, 堂谷忠靖, 辻本匡弘

JAXA 宇宙科学研究所/東京大学理学部物理

玉川 徹

理化学研究所

内山 泰伸

立教大学理学部物理

研究参加者

原山 淳, 池田博一 (宇宙科学研究所)

斎藤新也, Dmitry Khangulyan (宇宙科学研究所→立教大学)

小高弘和 (宇宙科学研究所→スタンフォード大学)

佐藤悟朗 (宇宙科学研究所→理化学研究所→早稲田大学→宇宙科学研究所)

共同研究

渡辺 伸 (宇宙科学研究所)

武田伸一郎 (宇宙科学研究所→OIST)

織田 忠 (OIST), 菅原寛孝(OIST)

能町正治 (阪大)

東京大学大学院学生 (高橋研究室)

Y. 内田 (D2)

M. 桂川 (D1)

R. 都丸 (M2)

H. 米田 (M2)

G. 藪 (M1)

S. 大下 (M1) (2017.3現在)

検出器開発

C01班からの話題提供

(1) CdTe半導体センサー (高橋)

(2) ASIC開発

(i) CSA, Shaperなどの池田IP (原山)

(ii) 医療応用に向けて開発が進むチップ (Time Over Threshold)
(織田)

(3) 新しいSi CMOS ハイブリッド検出器と

電子飛跡のDeep Learningによる再構成 (斎藤)

(4) 高速, 大容量データ収集モジュールの開発 (高橋)

(5) 高速, 大容量DAQのための micro-TCAによるクレートの標準化
(能町)

(6) GEM (理研)

検出器開発 (出口を含む)

GEMについては玉川トーク

宇宙ガンマ線観測技術(CO1班)

テルル化カドミウム(CdTe)半導体技術

高エネルギー分解能CdTe撮像検出器

大面積シリコン(Si)撮像検出器

多チャンネル低雑音アナログ信号処理LSI(ASIC)

高密度実装技術

宇宙機用データ収集システム(SpW)

本日の話題提供

CdTeガンマ線センサ

ASIC

Deep Learning

DAQ

最先端医療機器開発 (OIST)

C01班の技術をベースに2015年より共同研究開始
(菅原, 武田, 織田)

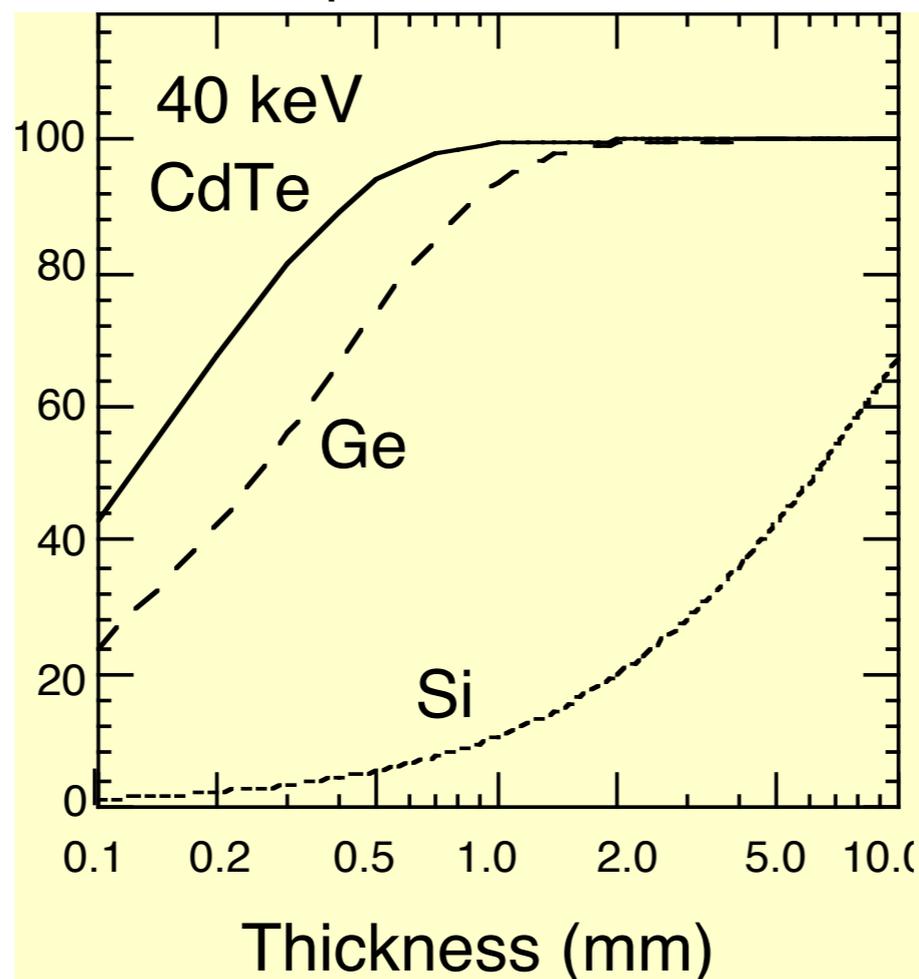
CdTe半導体センサー

CdTe and CZT in 1990's

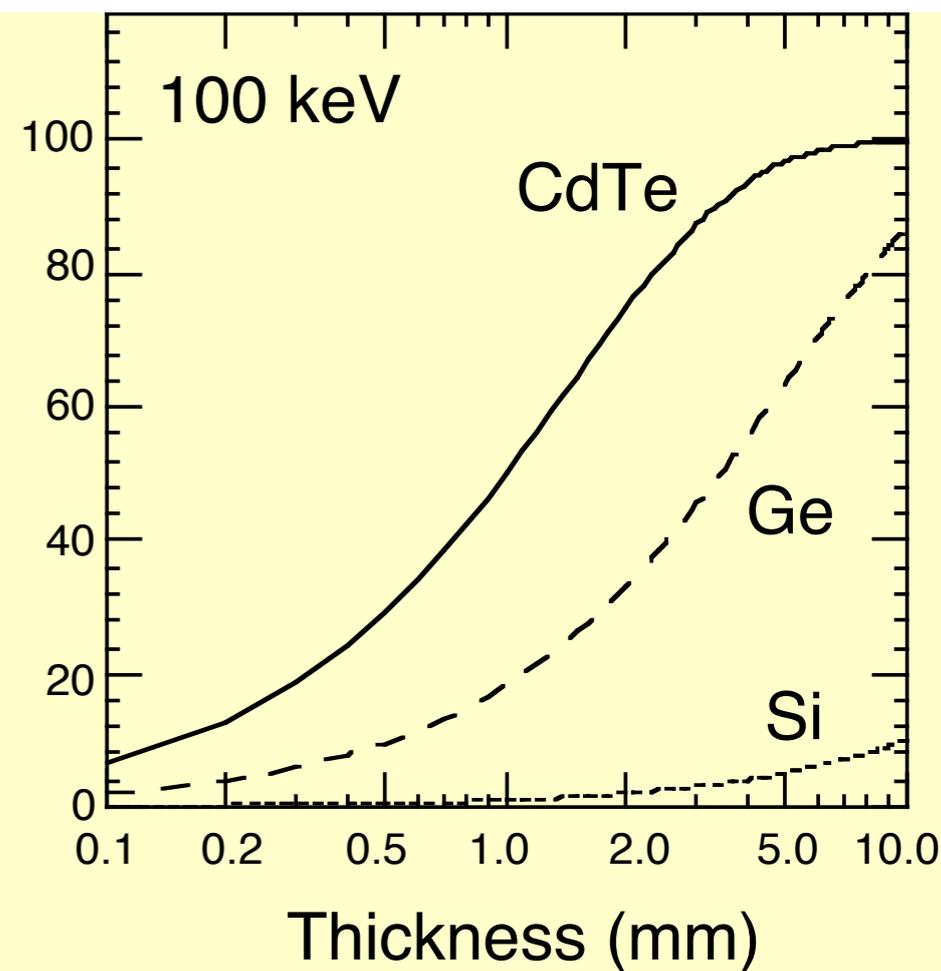
CdTe (Cadmium Telluride) and CdZnTe (CZT) Semiconductor (Compound) looked very attractive when we started... (1996-)

Absorption Efficiency (%)

40 keV photon

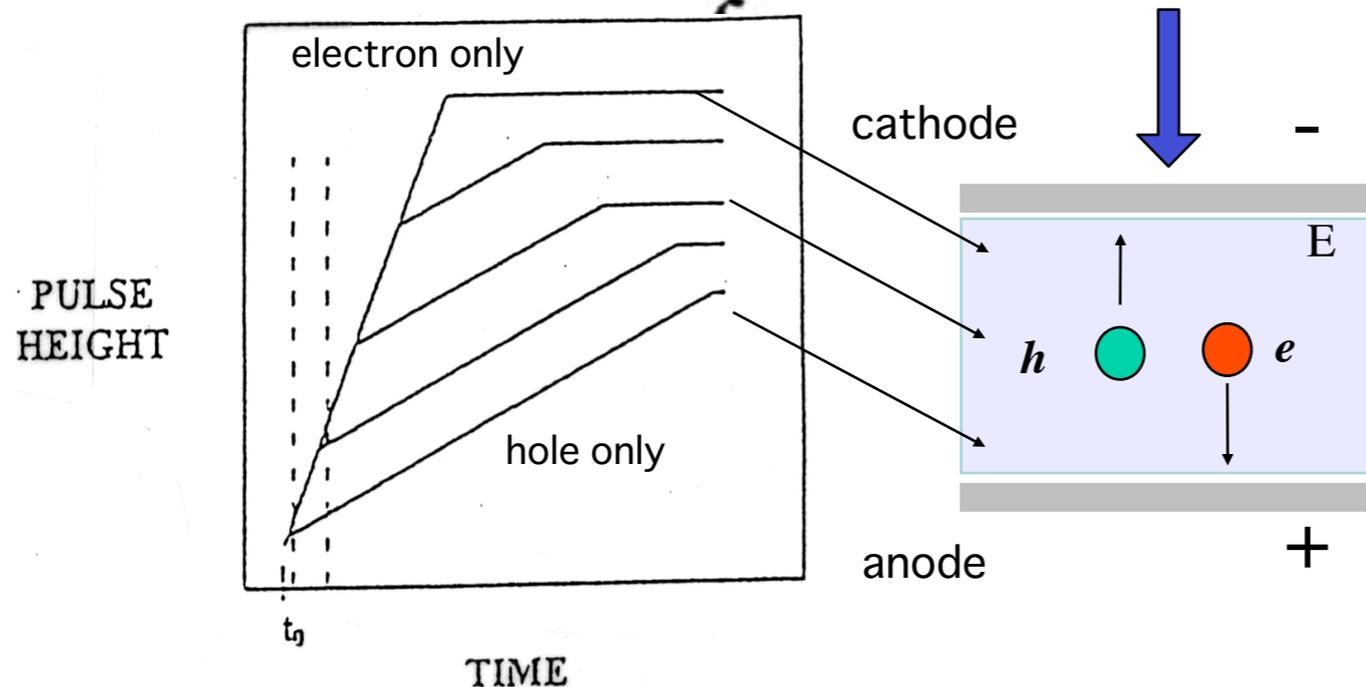
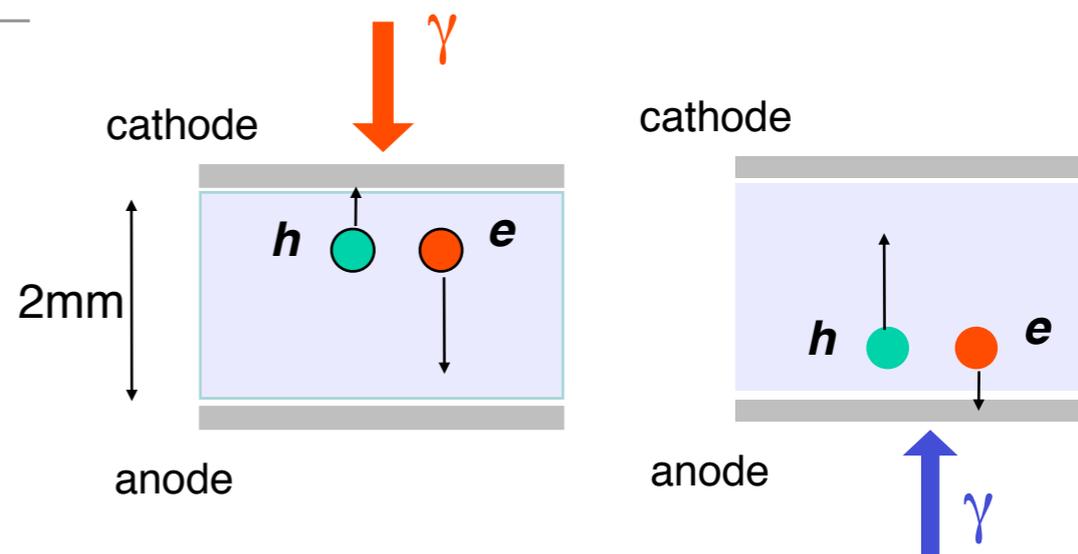
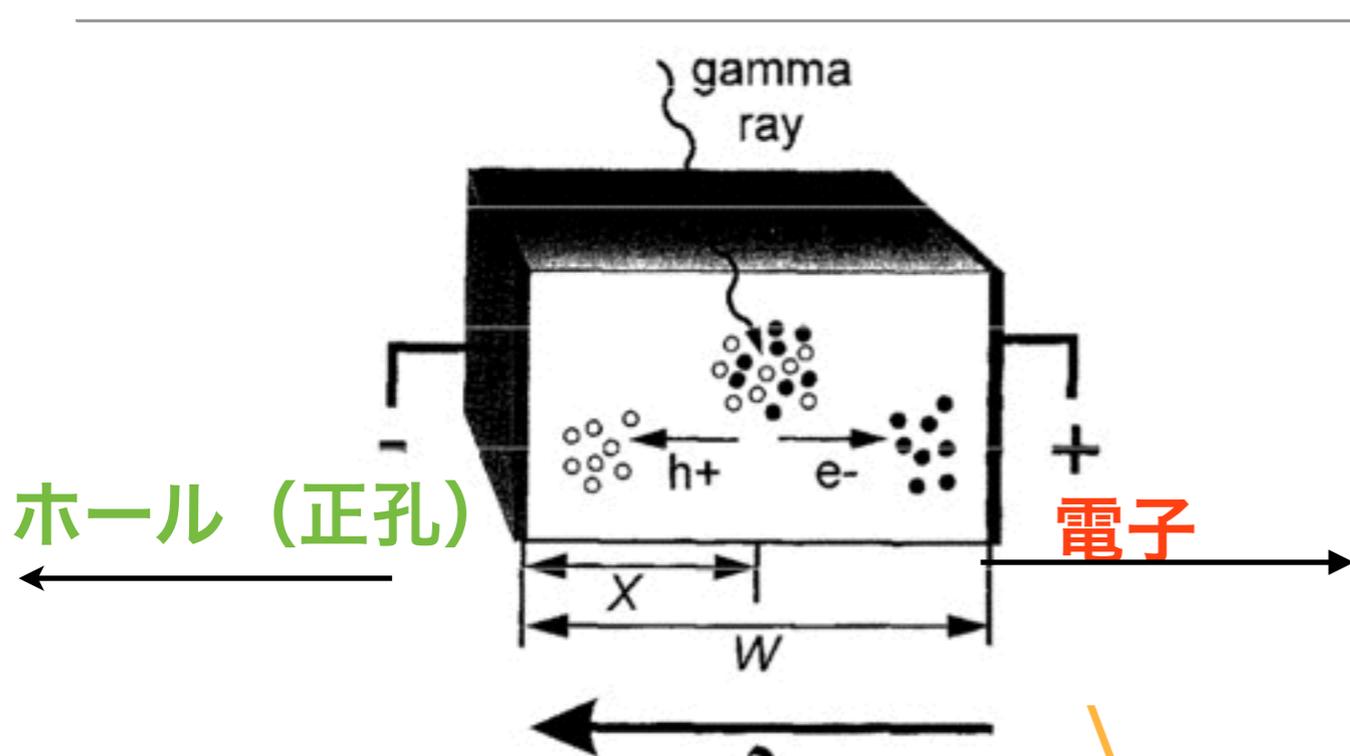


100 keV photon

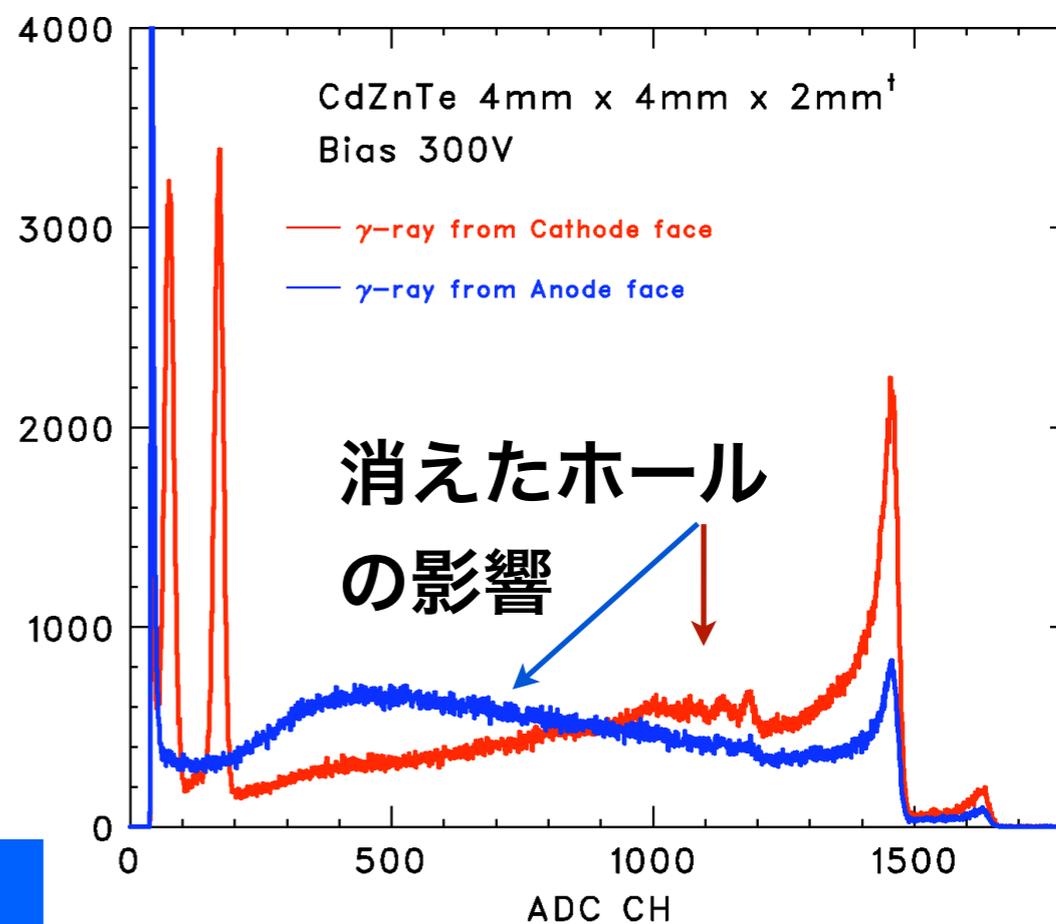


- Wide band gap ($E_g \sim 1.5$ eV) \Rightarrow Allows room temperature operation

CdTe/CdZnTe半導体の応答：特徴



Pulse height depends on the interaction depth



キャリアトラップの影響 (ポラリゼーション)

CdTeの欠点と克服 (1998年ころより@ISAS)

- 1) 結晶の均一性 → ACRO RAD TMM CdTe単結晶
以前から問題であったチャージトラップが解消
- 2) エネルギー分解能が7 keV程度 (@122 keV)

In/CdTe/PtによるCdTeショットキーダイオードの確立 (ISAS/ACRO RAD共同研究)

ファノ限界に達するようなエネルギー分解能

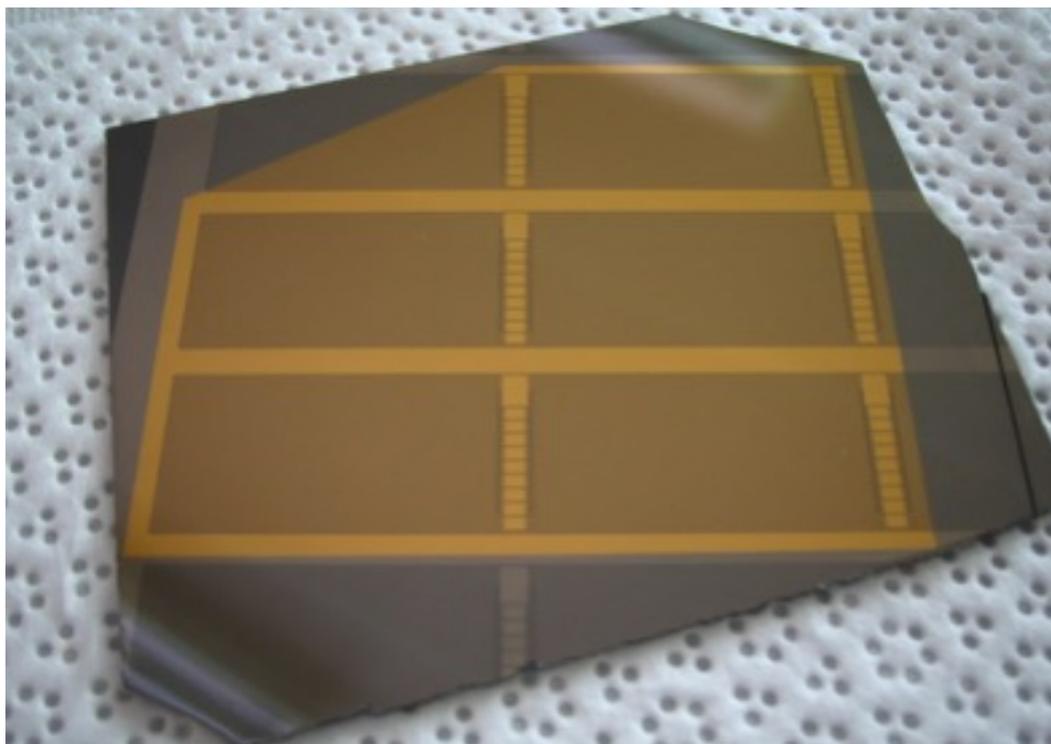
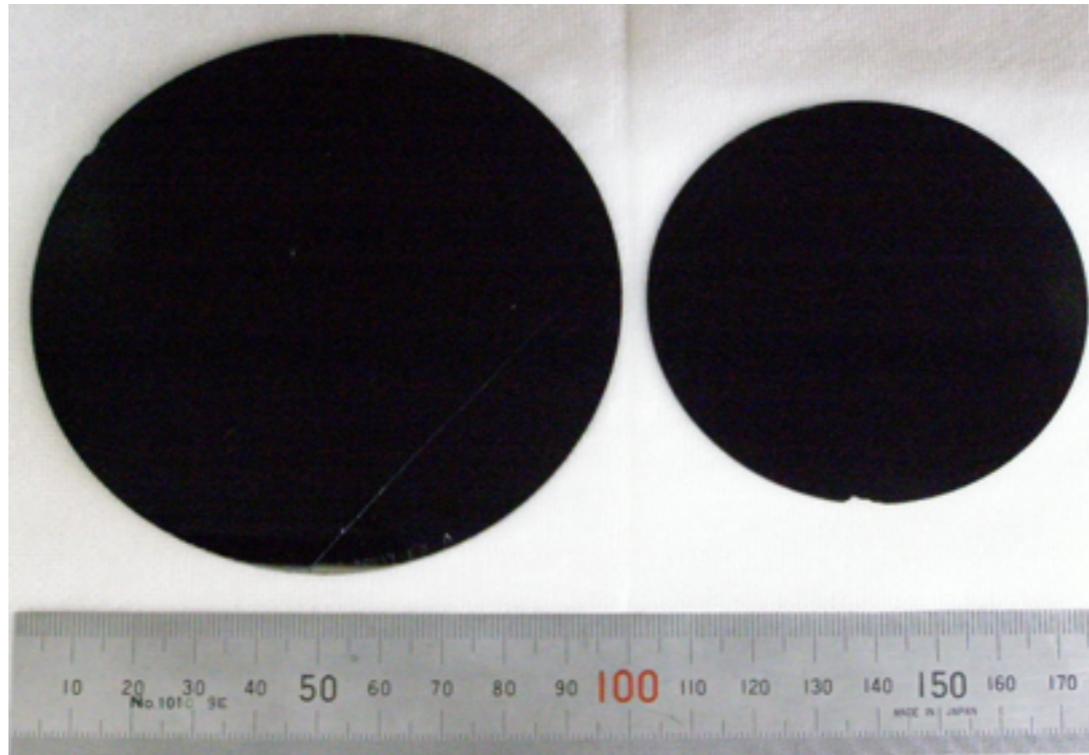
- 3) ピクセル検出器, 両面ストリップ検出器のための電極構造研究, 実装技術研究 (ISAS/MHI/ACRO RAD)

Takahashi & Watanabe,

Recent progress in CdTe and CdZnTe detectors, IEEE, TNS (2001) 被引用数180
他, 50編以上

Recent Advances on Technologies

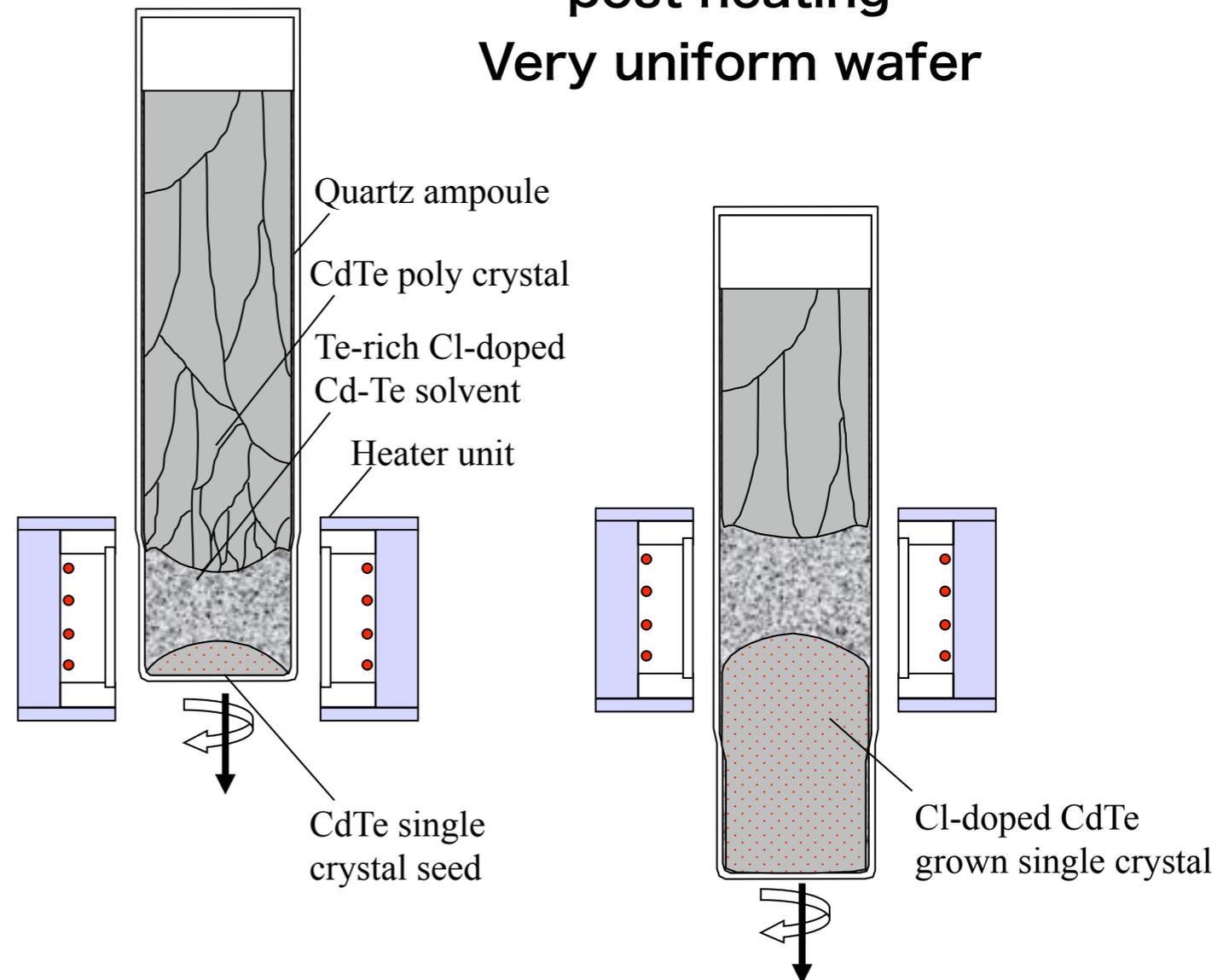
ACRORAD (JAPAN) Large Single Crystal



ACRORADの有するTHMの
極めて優れた技術

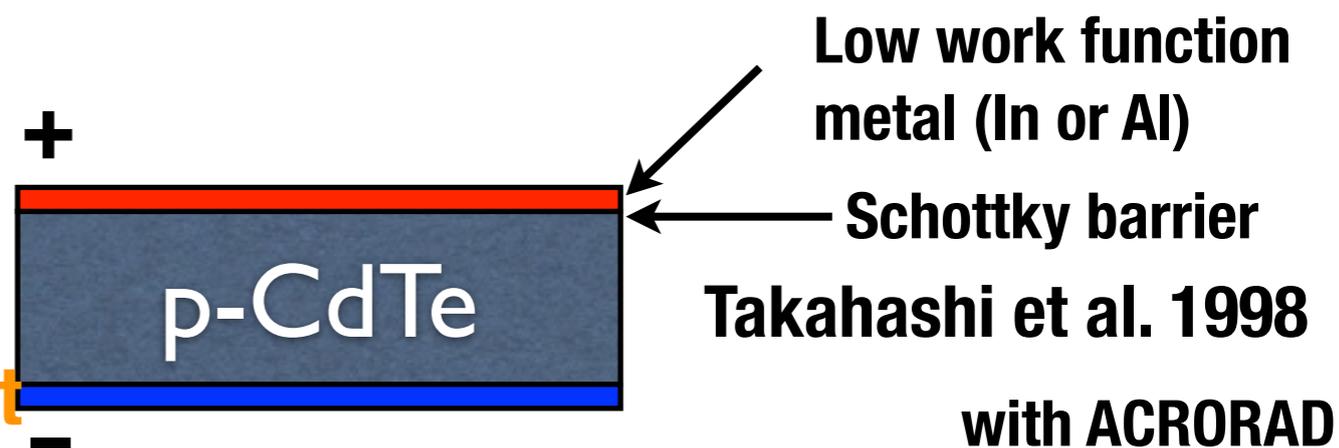
Travel Heater Method
(THM)

Careful treatment of
post heating
Very uniform wafer



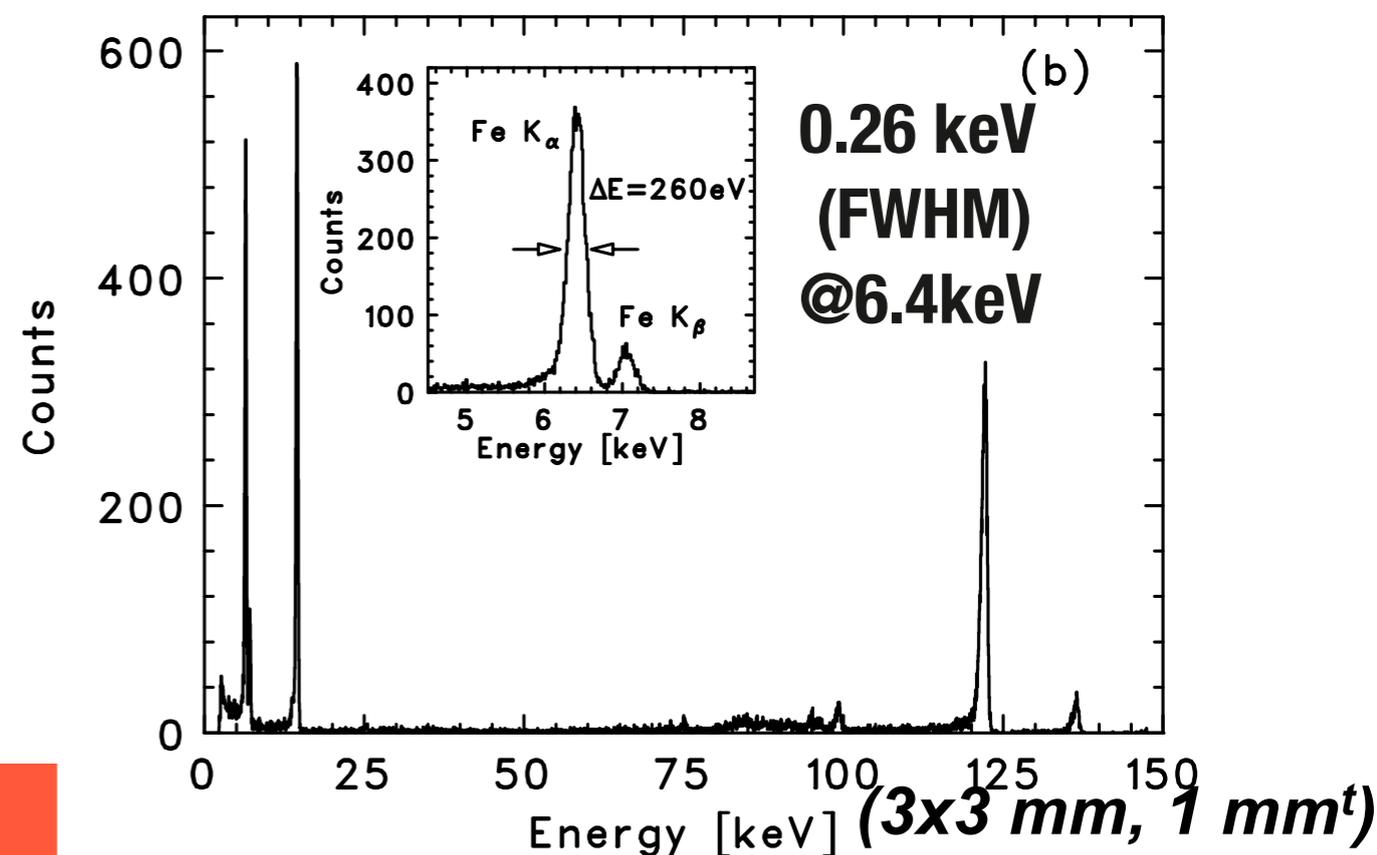
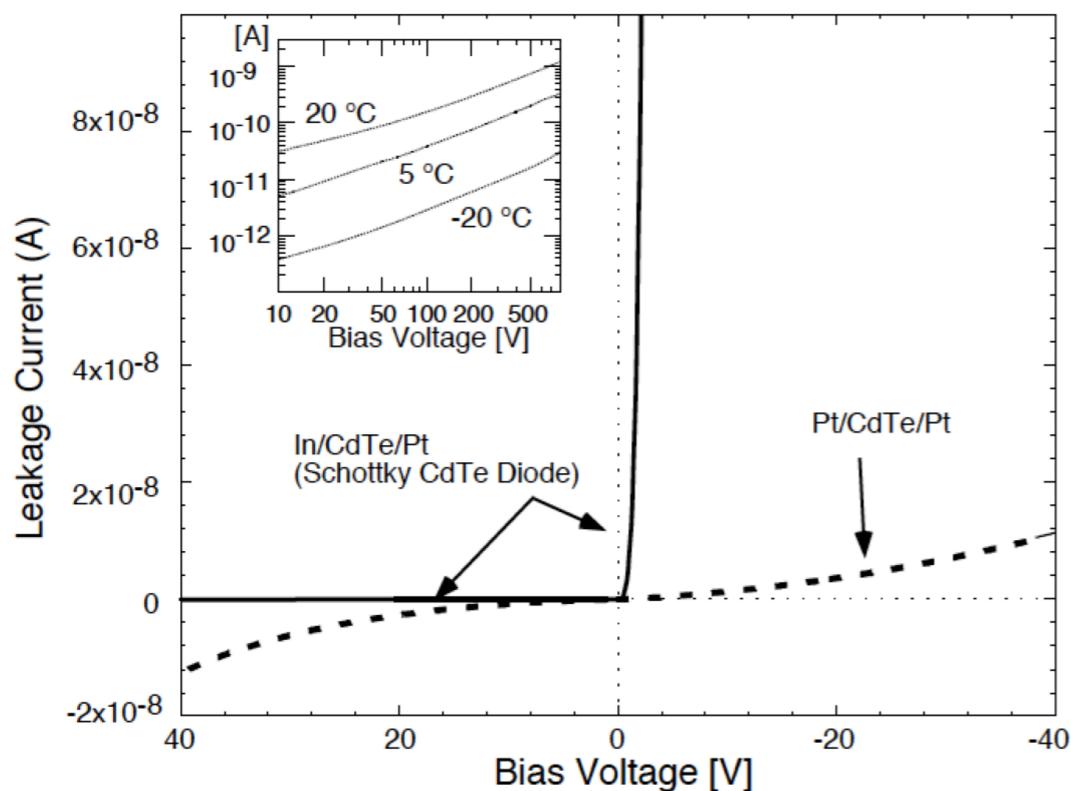
高いエネルギー分解能を持つCdTe検出器の開発

1. Thin device (0.5 – 2.0 mm)
2. Schottky diode
3. Guard ring (ISAS)



- Extremely low leakage current
- High bias voltage

Full charge collection (NO TAIL)
High Speed (High Bias: ~1000V/mm)

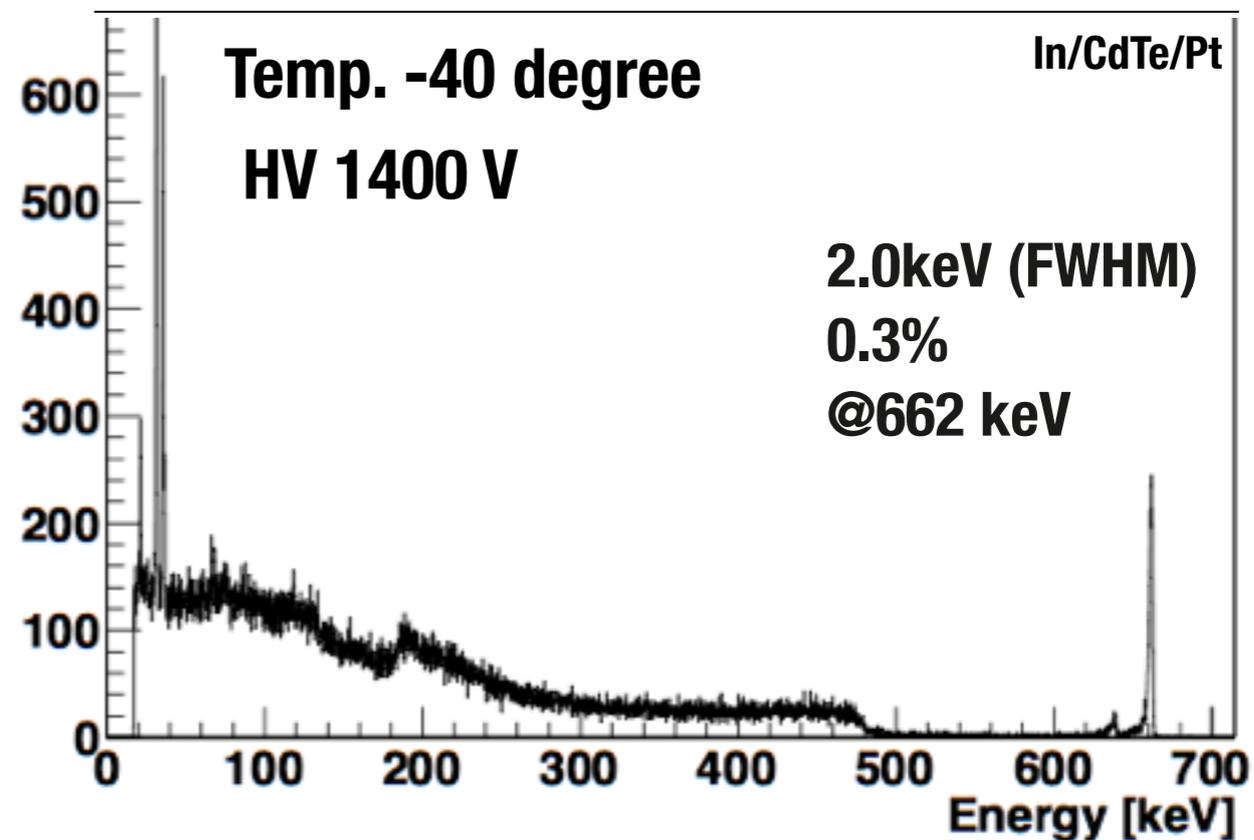
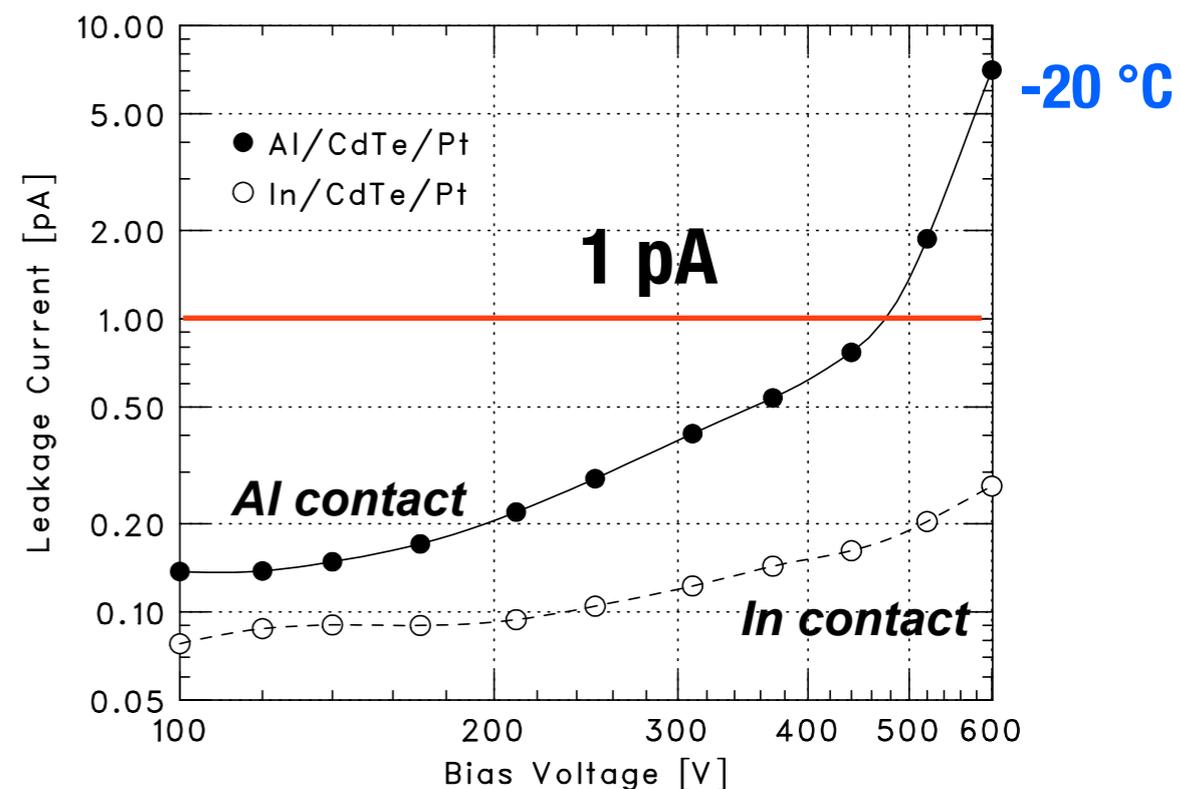
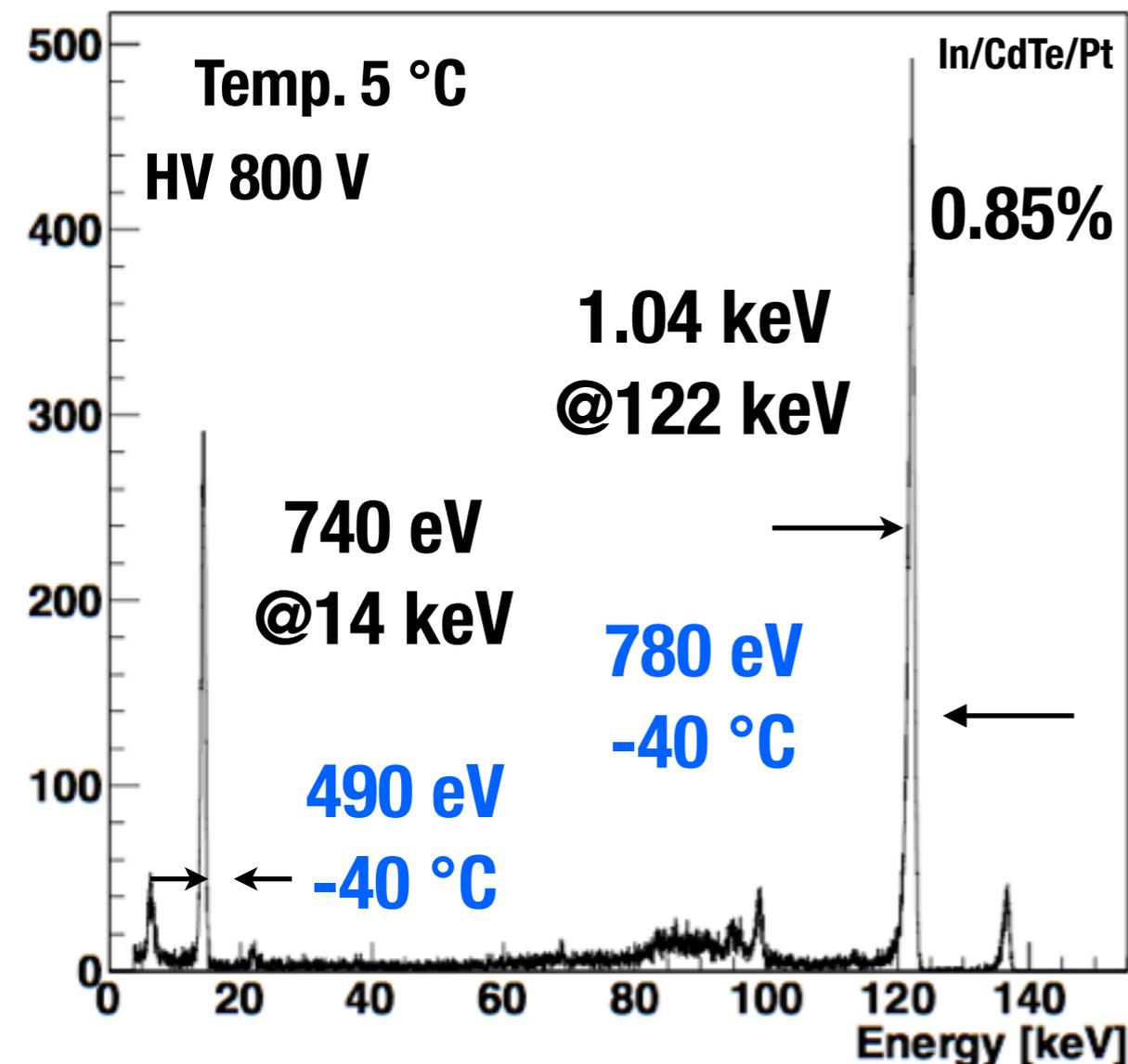


• 高いエネルギー分解能を獲得

• 高いエネルギー分解能が必要なければ普通のオーミック電極 (Pt)

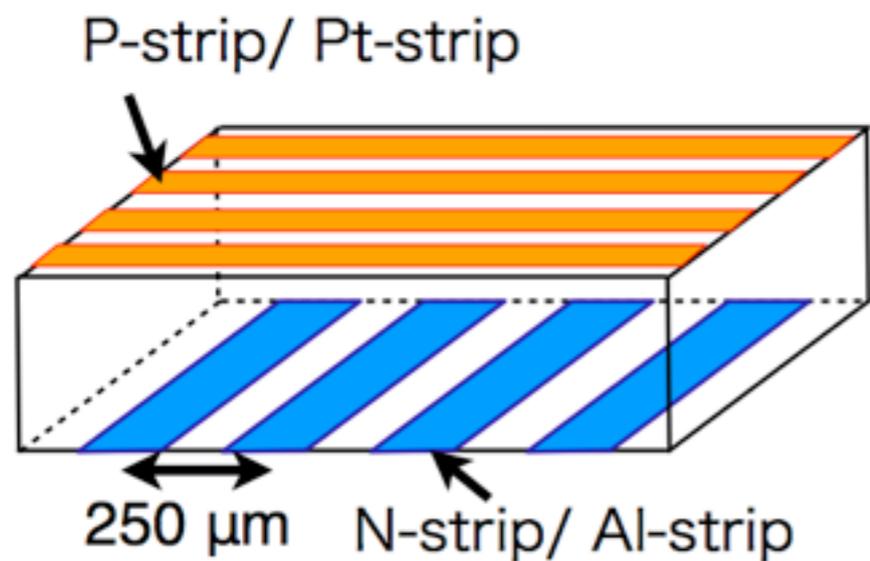
High Resolution CdTe

Typical Spectra we can obtain, today
(2 x 2 mm, 0,5 mm)

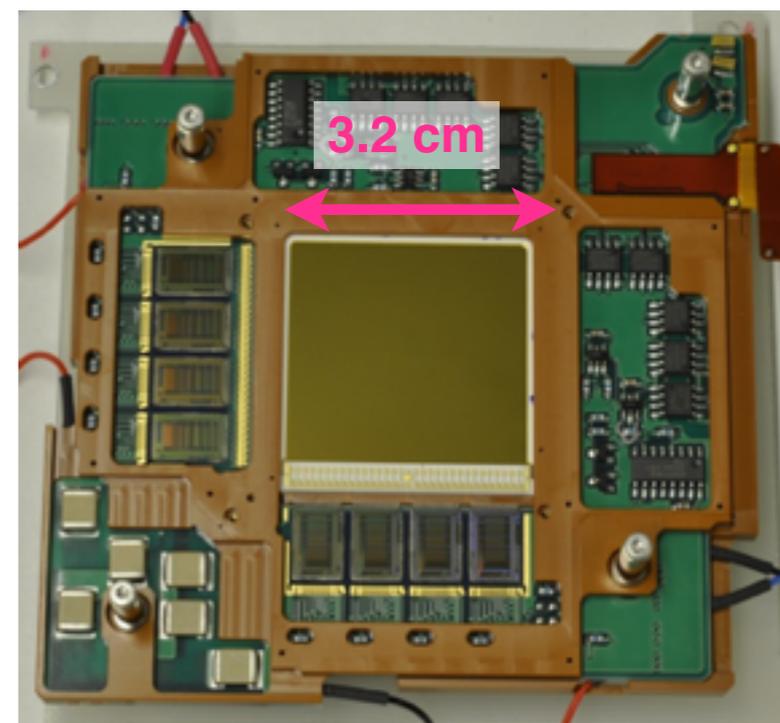


ただし、厚さには限界がある。

大面積CdTe両面ストリップ (世界で最初の開発)

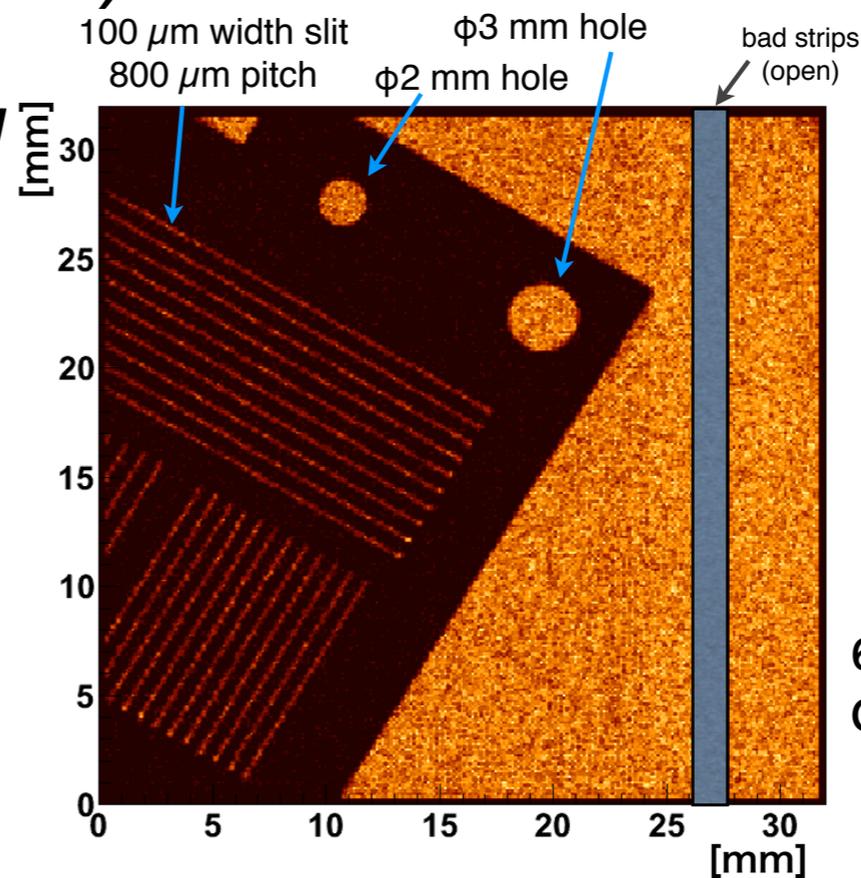
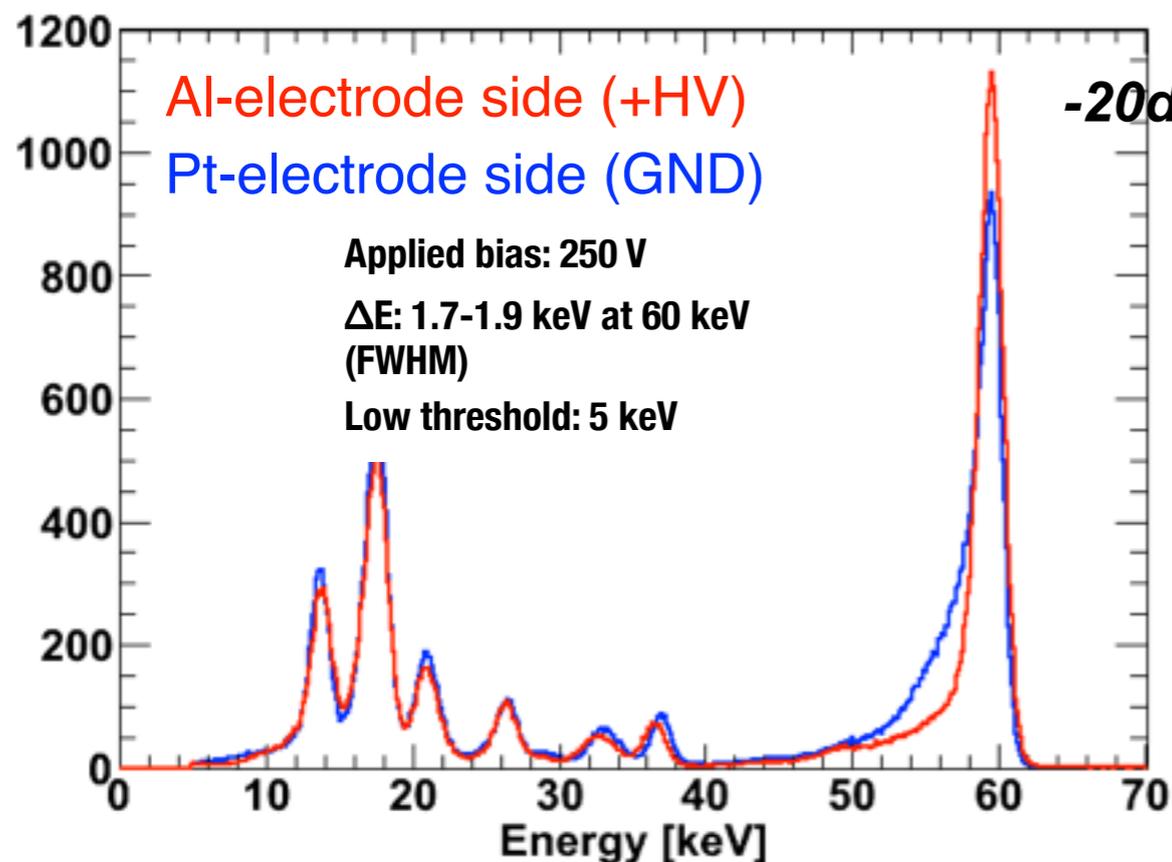


250 micron pitch strips for both side



**Al-strip (+)
(Schottky barrier)**

**2 x 128 = 256 channels
($\ll 128 \times 128 = 16,384$)**



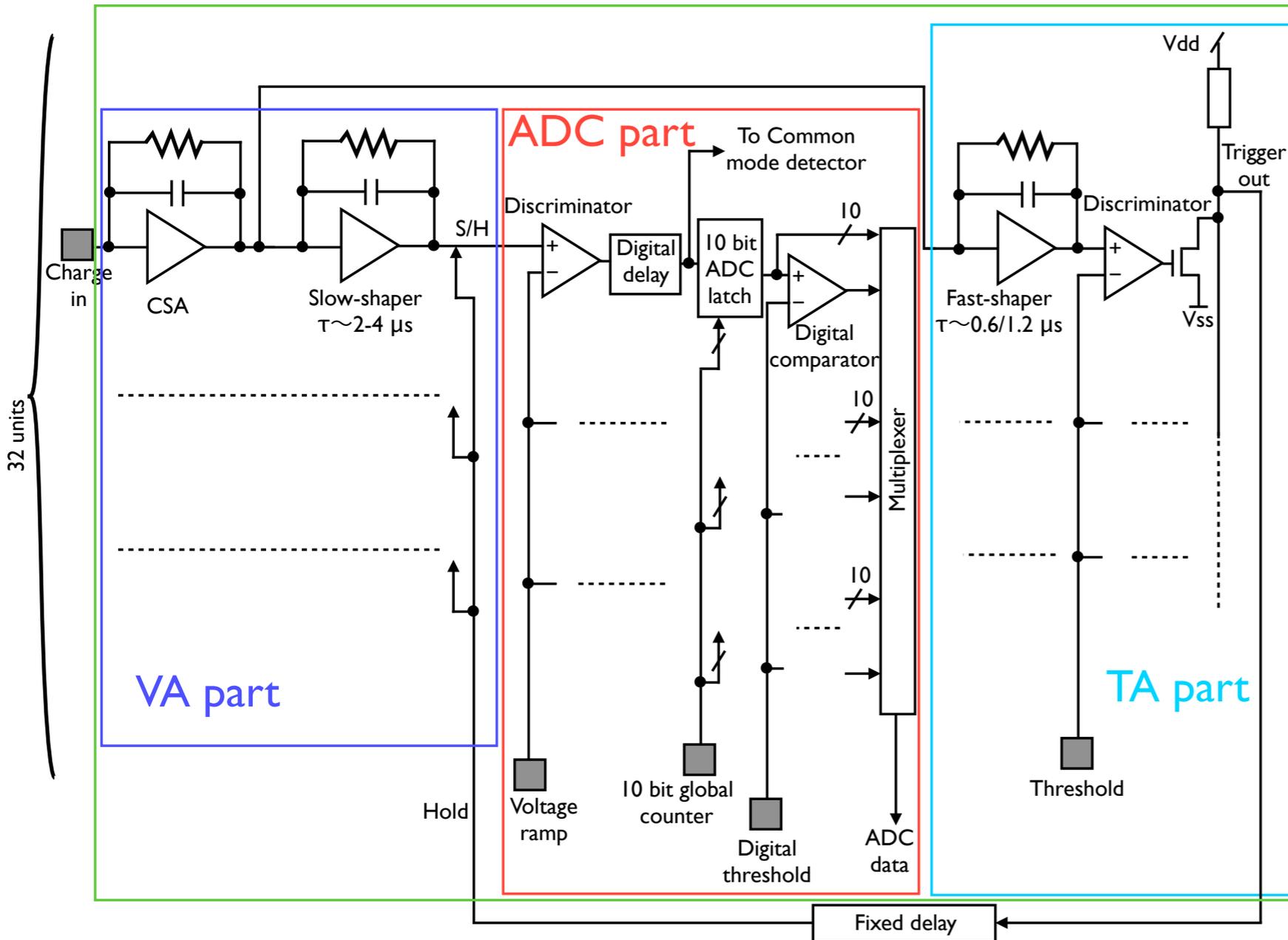
60 μ m ストリップピッチ
CdTe両面ストリップ素子

Watanabe et al., 2011

Key Technologies (ASICと実装)

ASIC

Developed jointly with IDEAS (Norway)



VATA for HXI & SGD



- 32/64 ch signal processing
- CSA and two shapers
 - Fast: Trigger
 - Slow: Spectroscopy
- Internal ADC
 - Wilkinson type
- Common mode Noise Subtraction
- Data suppression (only hist channels are read)
- Digital I/O only

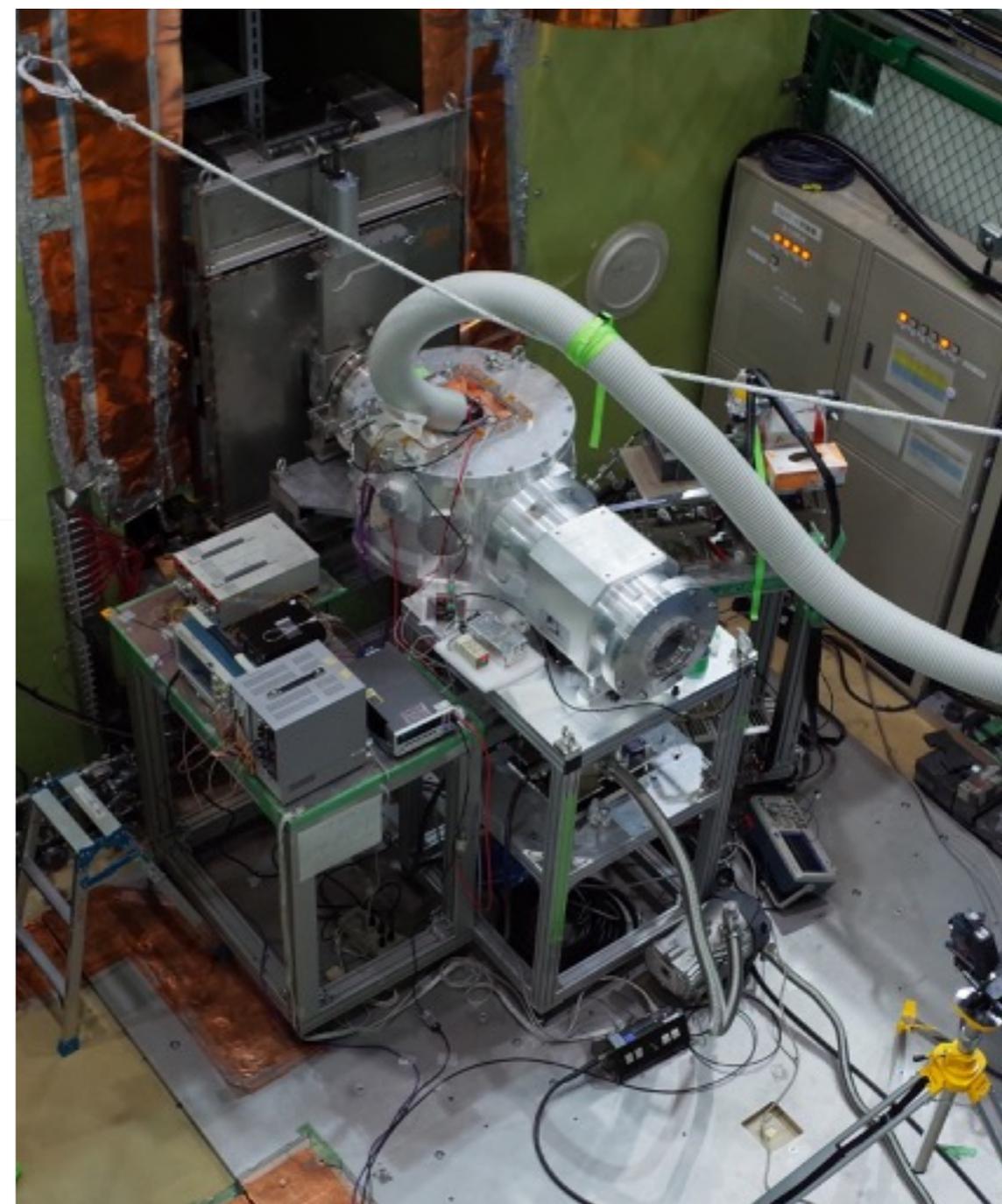
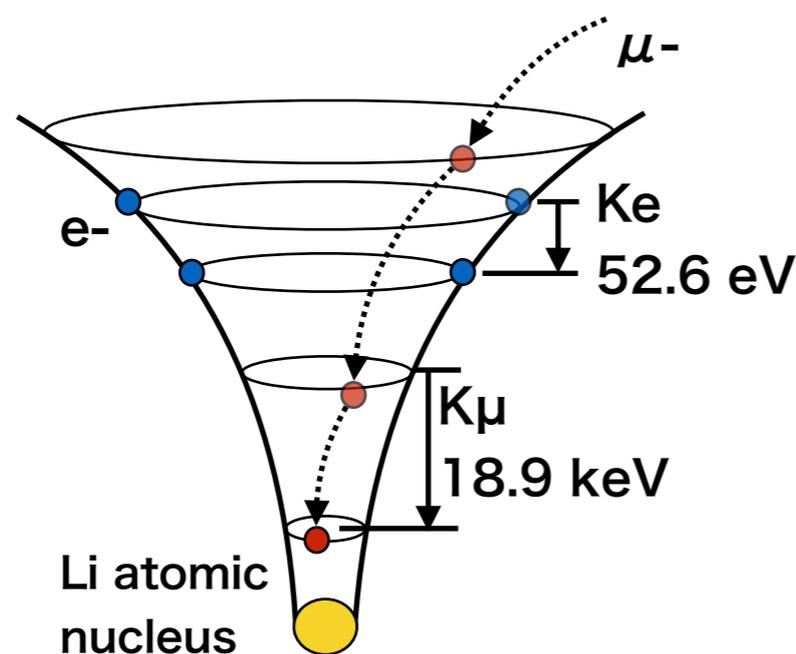
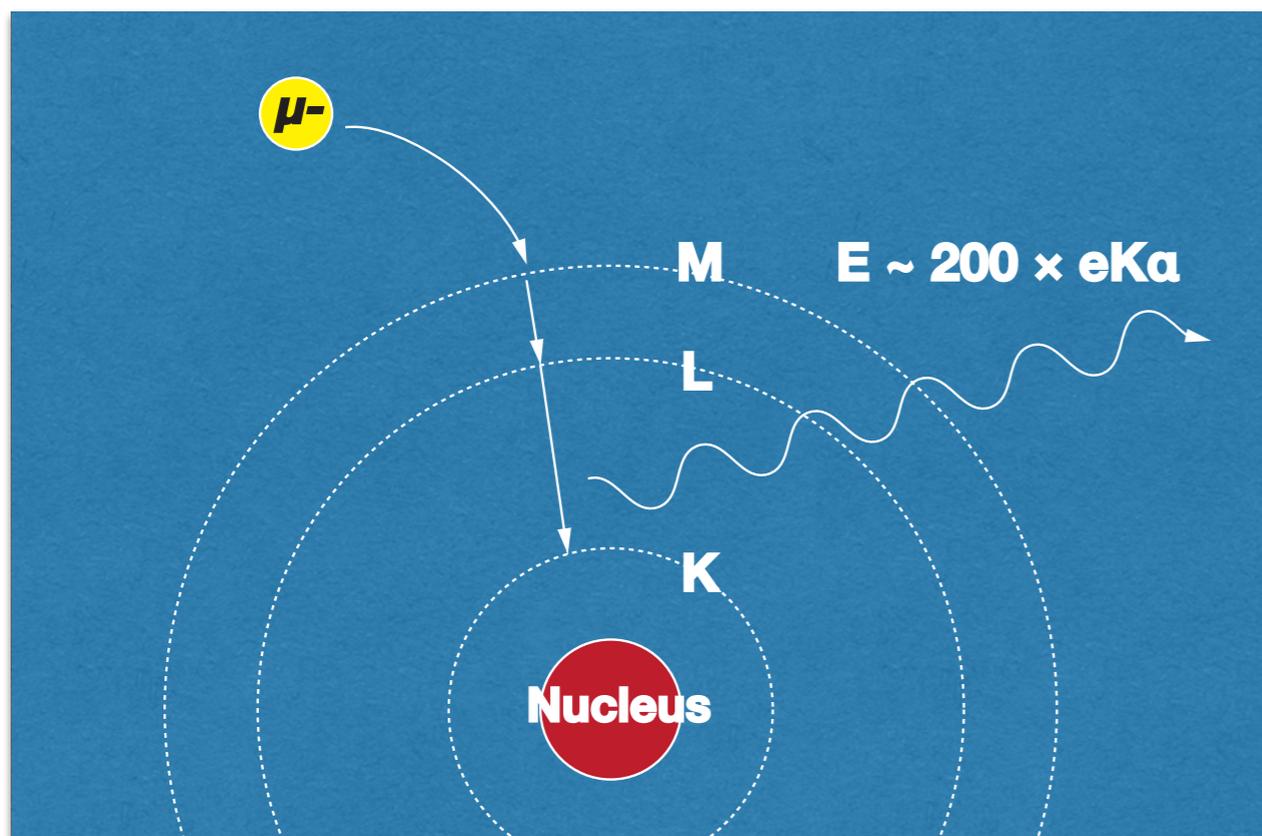
・セルフトリガの機能が必要

日本オリジナルなIPが必要 (いつ海外からの供給がとまるかわからない->池田IP)

JPARCでも実験しています

Muon XRF

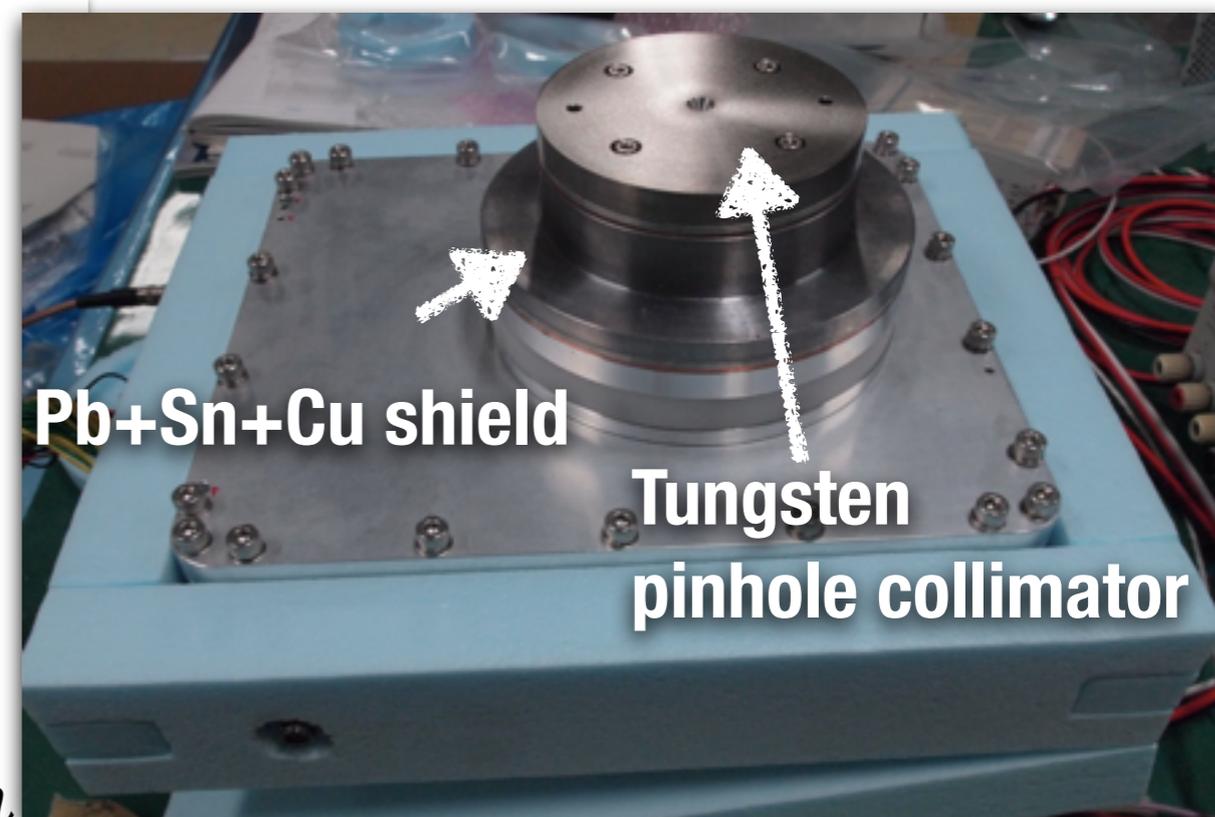
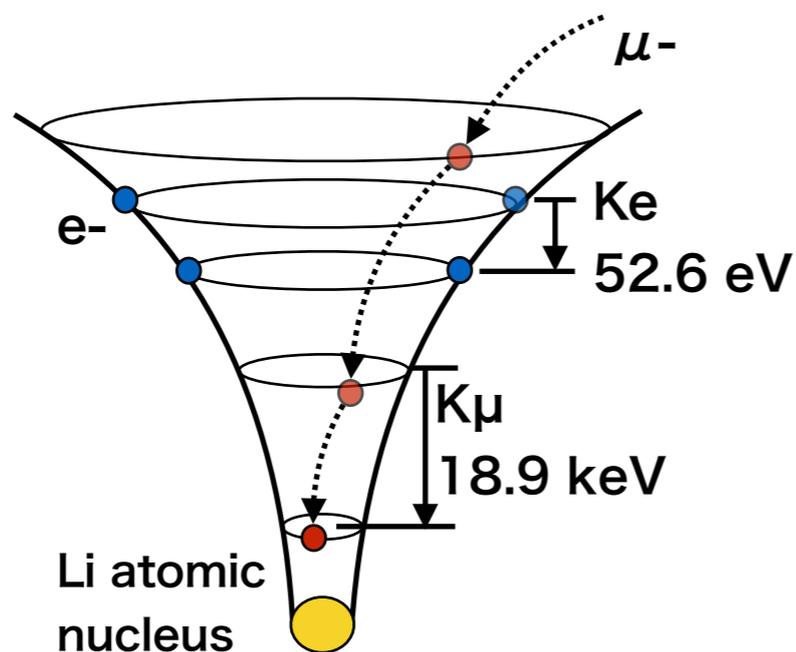
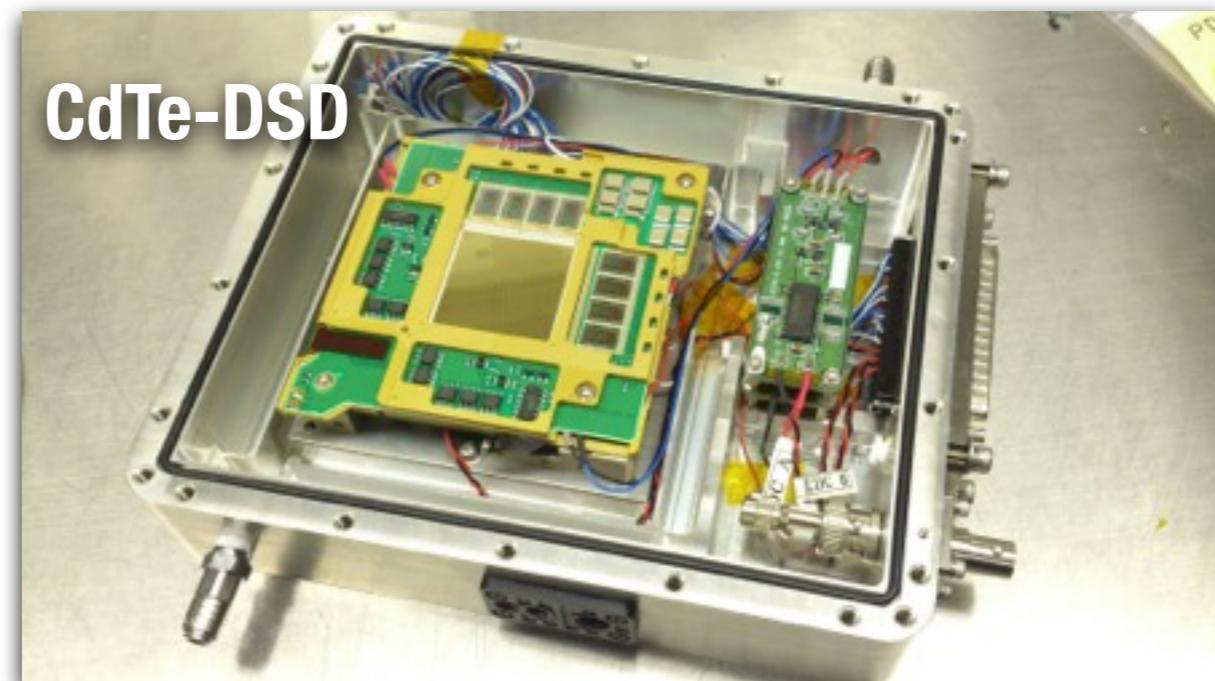
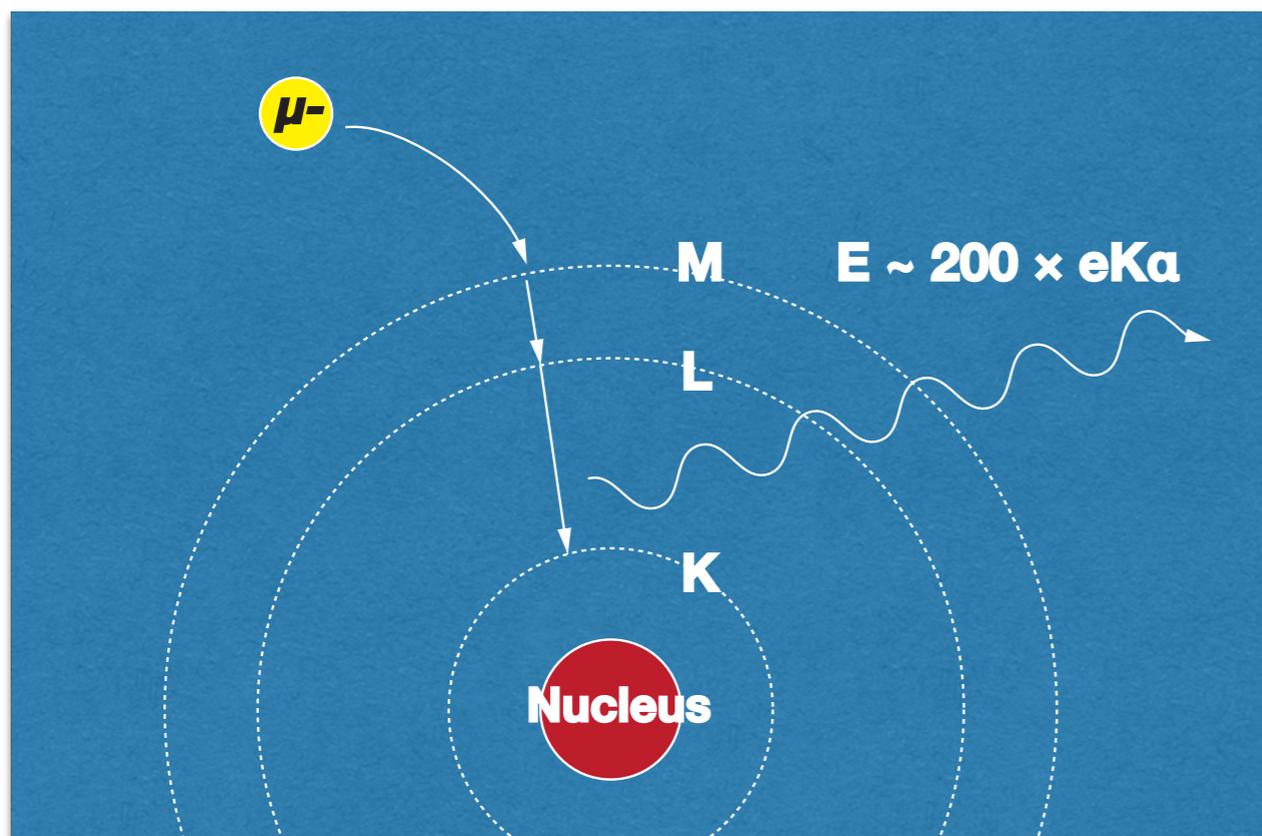
(Muon X-ray fluorescence analysis)



Low-Zの原子の蛍光X線が硬X線に現れる

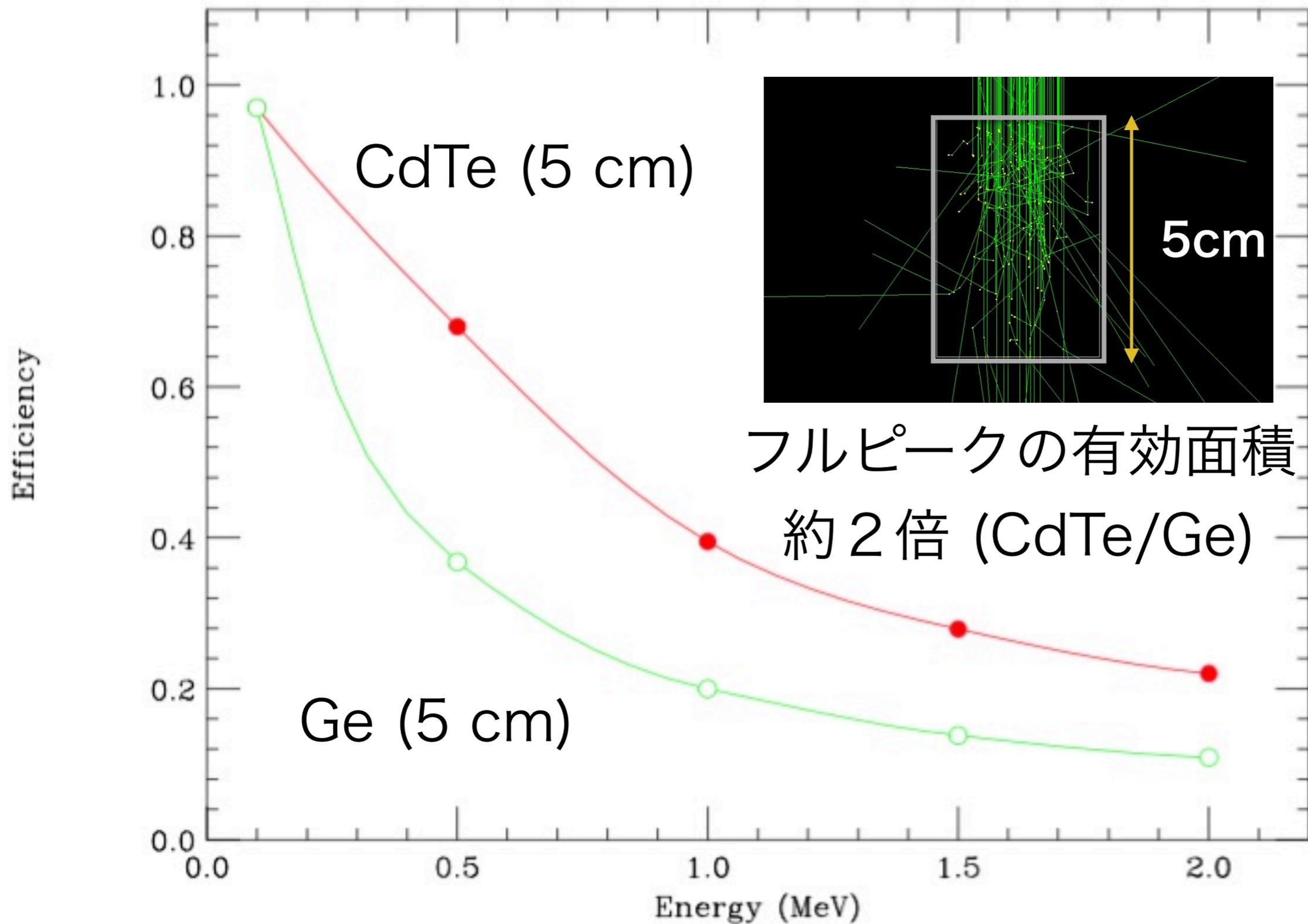
JPARCでも実験しています

Muon XRF



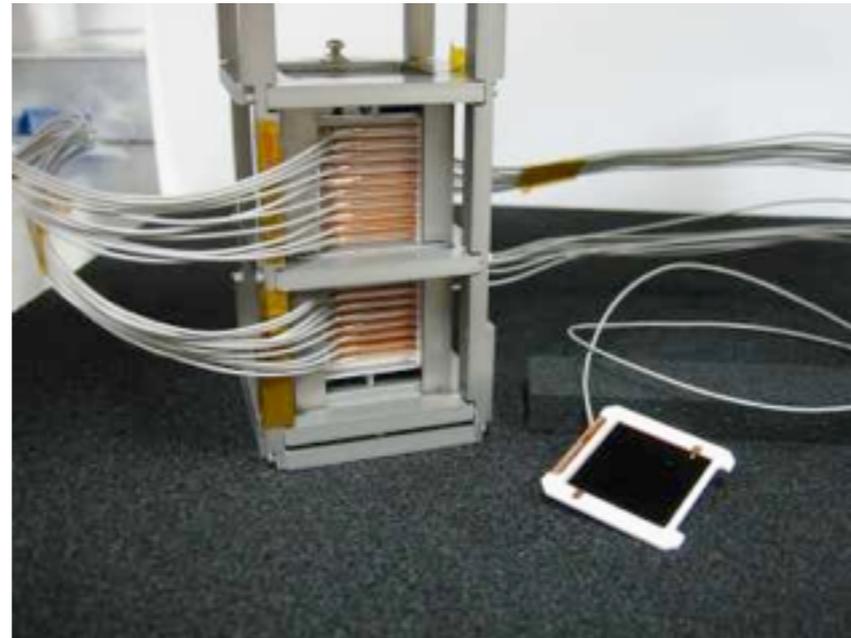
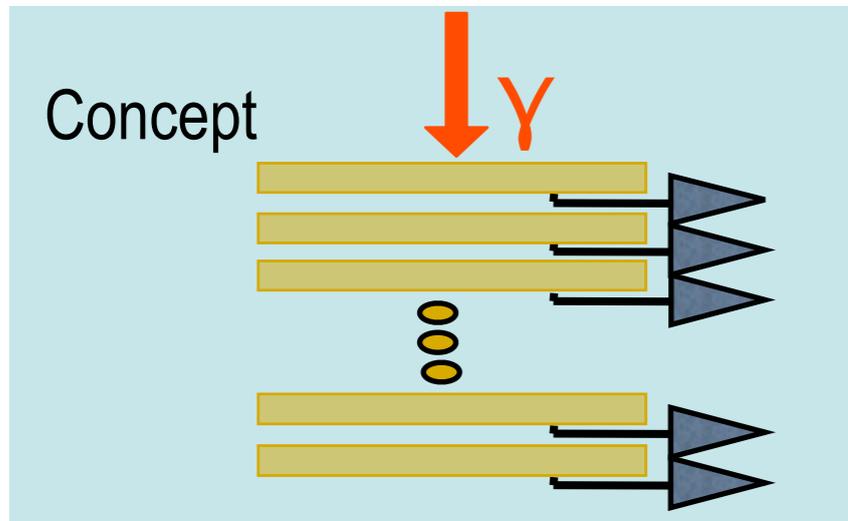
Low-Zの原子の蛍光X線が硬X線に現れ

CdTeをMeVガンマ線の検出器として応用



Stacked Detector for $E > 1 \text{ MeV}$

Stacked CdTe

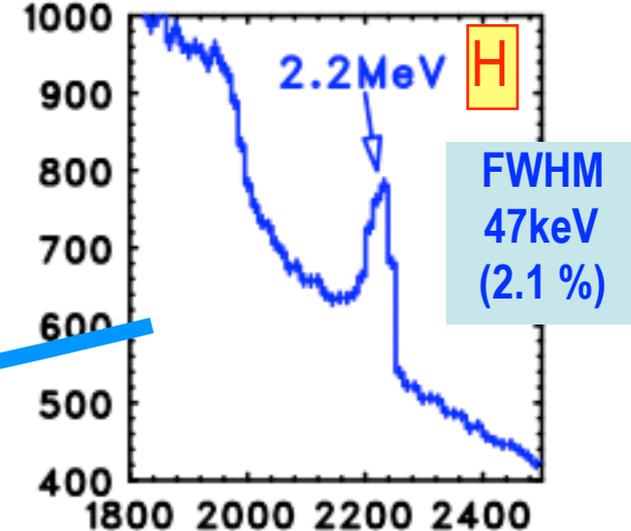
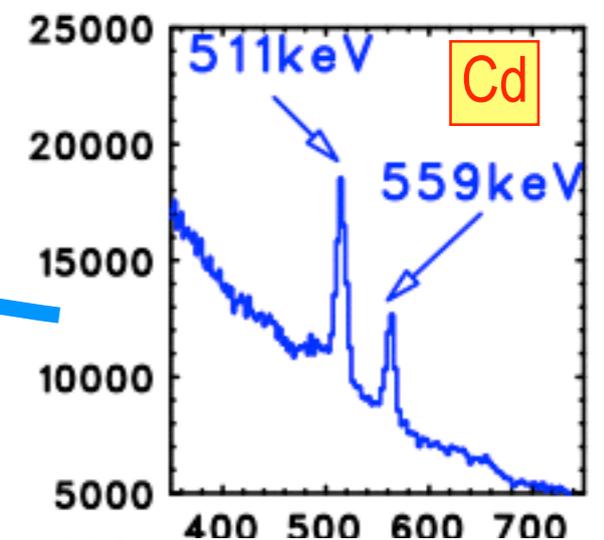
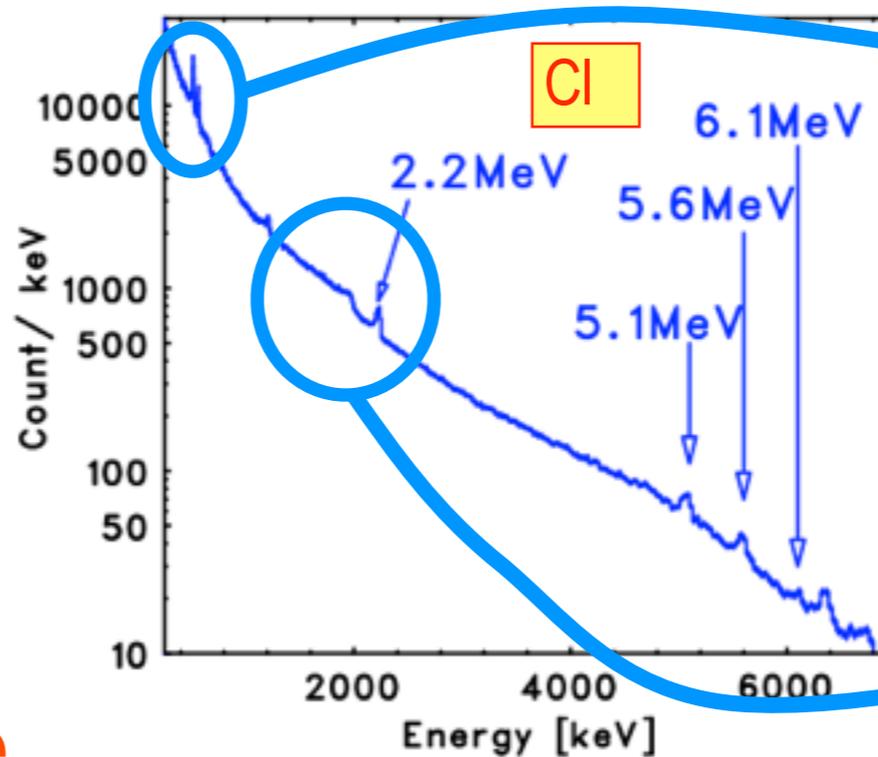


2cm x 2cm:
Planar (no pixel)
40 layer = 20 mm

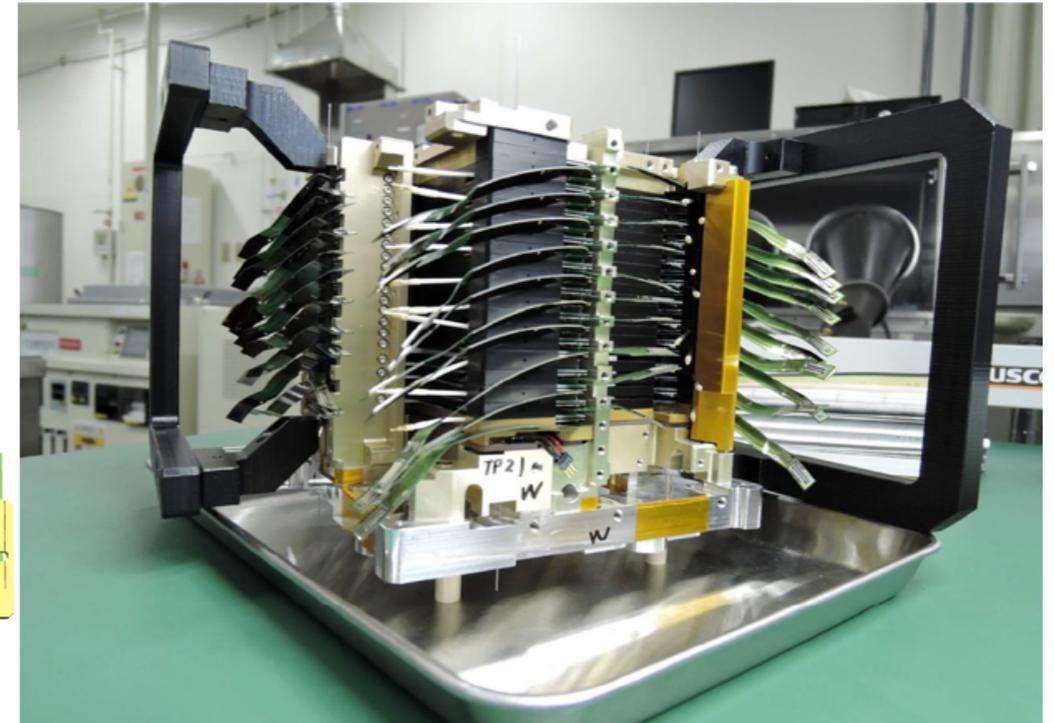
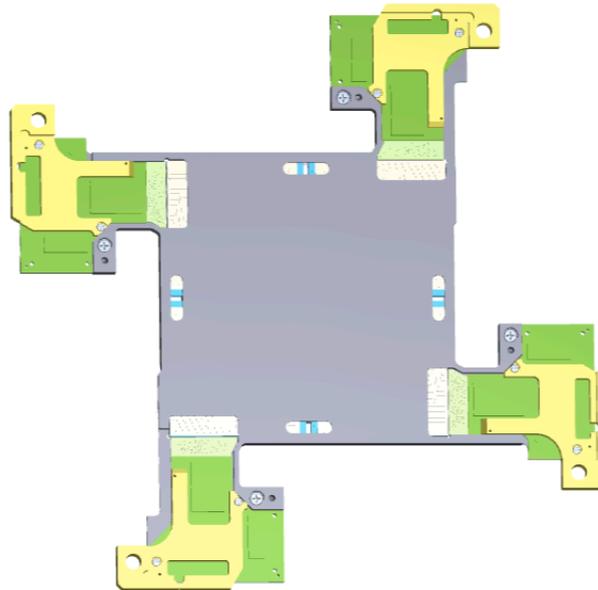
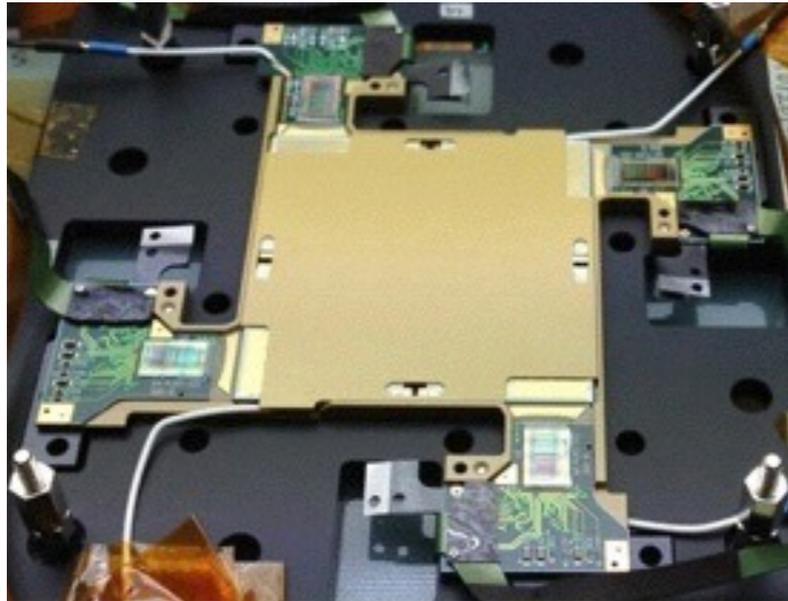
Approach:

- Stack of thin CdTe detectors
1. to get high efficiency for high energy photons.
 2. still keeping high energy resolution at low energy

Only possible,
if the detector is **fully active**.

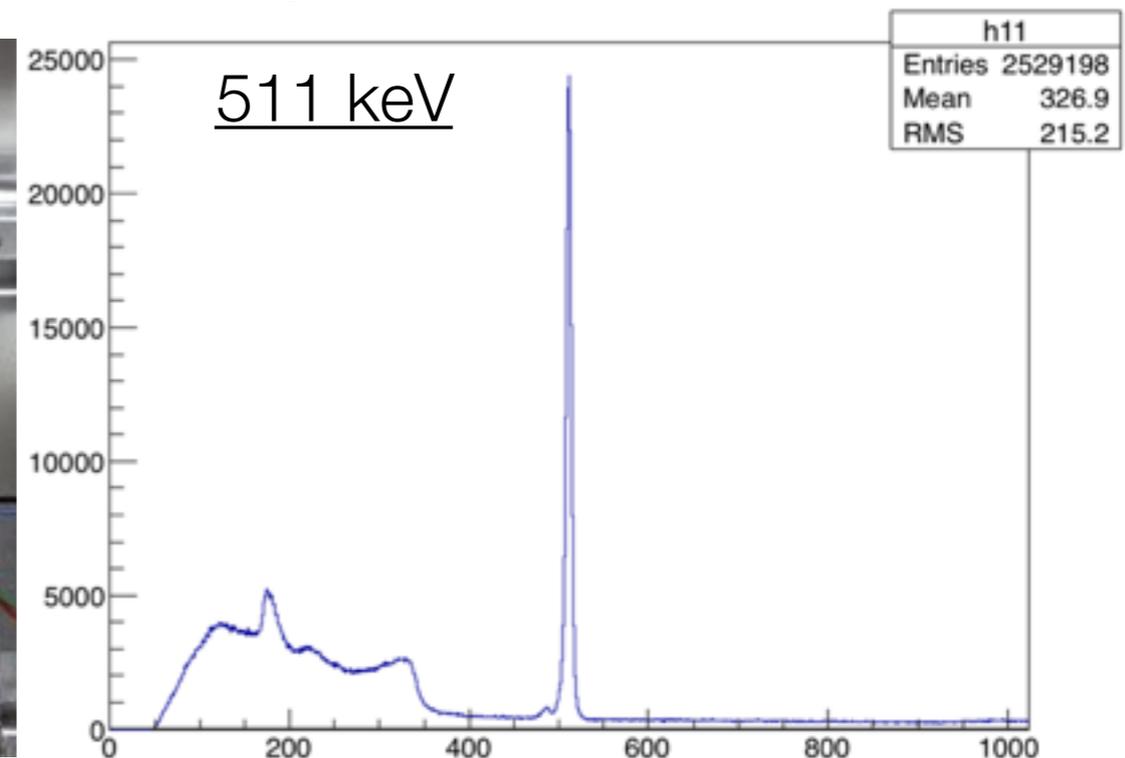


High Counting by Segmented Electrodes



CdTe (ACRORAD)
26.75 x 26.75mm²
0.75mm thick
3.2 mm pitch pad
4 sensors/layer

2.0 mm thick, 250 micron Double Side Strip



おわりに

CdTe半導体素子

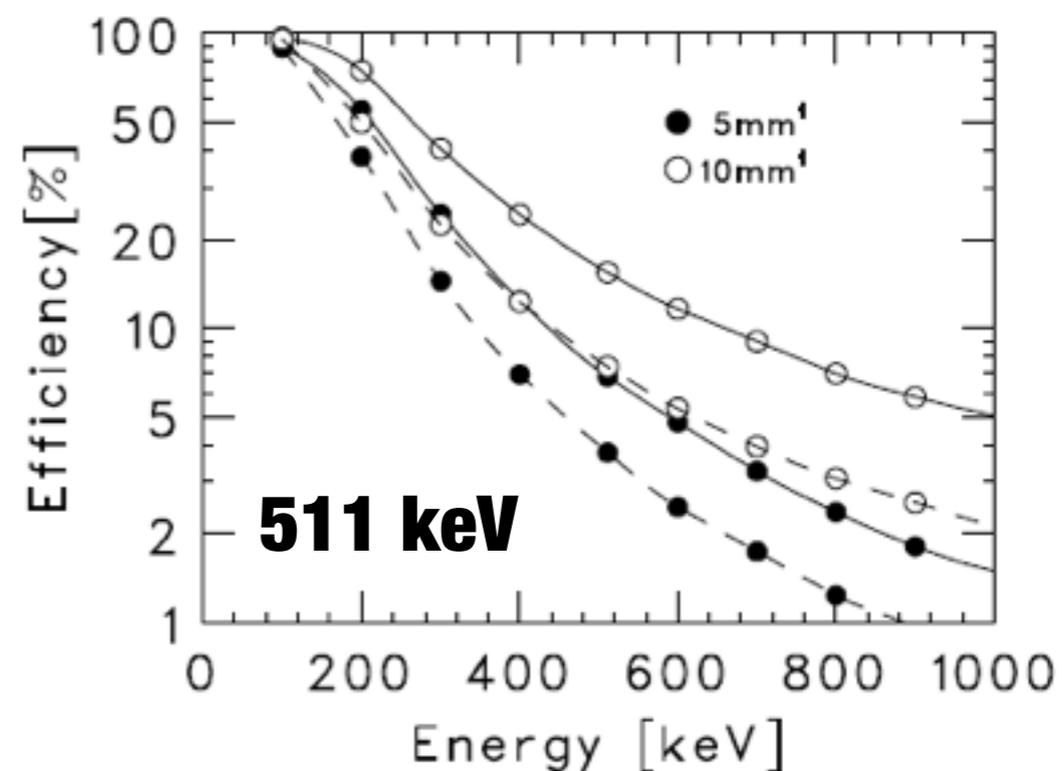
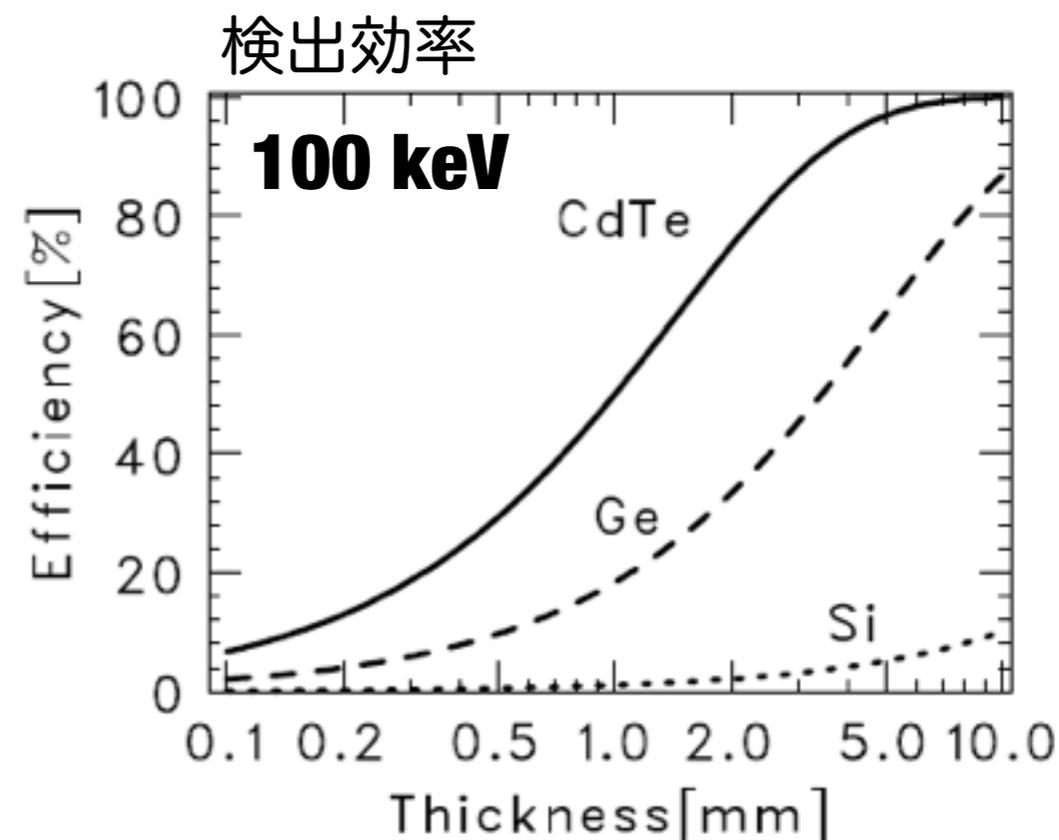
- 1) 日本発の技術 (結晶から, ダイオード化, 電極, ASICまで)
- 2) 積層することで, MeVまで使える
(厚い (数cm) 検出器は, キャリアの寿命から難しい)
- 3) 2-3 mm厚の両面ストリップを10層程度積層
- 4) セグメント化されているので, 高いカウントに耐える
デザインが可能 (要検討)
- 5) コンプトンカメラによるイメージング (低バックグラウンド) (?)
- 6) 様々なコンフィギュレーションを実現できる
- 7) コストは? (-20度くらいの冷却)

参考資料：主な半導体検出器の特性

CdTeの特徴

ガンマ線をとめるために有効な
 高い原子番号 ($Z_{\text{Cd}} = 48, Z_{\text{Te}} = 52$) と高い密度
 ($\rho = 5.9 \text{ g/cm}^3$) を持つ半導体。常温動作可能。

Material	Ge (77K)	Hgl ₂	CdTe	CdZnTe
Atomic number	32	80, 53	48, 52	48, 30, 52
Band gap (eV)	0.74	2.13	1.50	1.57
Energy per e-h pair (eV)	2.97	4.2	4.4	4.6
Fano factor	0.08	0.19	0.11	0.09
μ_e (cm ² /Vs)	40,000	100	1100	1000
μ_h (cm ² /Vs)	40,000	4	100	10
τ_e (s)	10 ⁻³	10 ⁻⁵	10 ⁻⁶	10 ⁻⁵
τ_h (s)	10 ⁻³	10 ⁻⁵	10 ⁻⁶	10 ⁻⁶



Zynqを用いた 高速, 大容量データ収集モジュールの開発 ZDAQ

T. Takahashi, S. Ishikawa, S. Watanabe (ISAS/JAXA),
N. Narukage, S. Miyazaki (NAOJ),
T. Orita, S. Takeda (OIST),
M. Nomachi (Osaka Univ.),
S. Saito (Rikkyo Univ.),
H. Murakami (Univ. of Tokyo),
I. Fujishiro and F. Hodoshima (Shimafuji Electric Inc.)

経緯

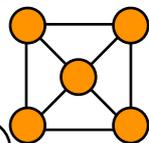
共同研究仲間からの多様な要求

- 1) ASIC開発における柔軟な試験装置（多数のI/Oピン）
- 2) 大規模CMOSセンサーの読み出し（天文, 生物イメージング）
- 3) Analog CSA+ShaperからSampling ADCを用いたデジタルフィルター化の実験（半導体センサ, シンチレータ）
- 4) 複数のデジタル機器, センサー, アクチュエータの同期

ASTRO-Hの経験や様々な研究交流にもとづく背景

- (1) ネットワーク型のデータ収集アーキテクチャ (ASTRO-H/Space Wire) による抽象化, モジュール化の成功
- (2) 通信の高速化に伴う, 高速のFADC, DAC, DDS (デジタルシンセサイザ), VGA (可変ゲインアンプ) の登場
- (3) Zynq SOCの登場 (ARM Cortex A9の外側にPL部をつけたSOC)

新しいDAQモジュールを共同で作ろう



SpaceWire

組込システム向けの軽くて高速なネットワーク規格
 機器間からモジュール間まで幅広く使用可能
 安価なハードウェア／軽いソフトウェア／自在な部品調達

パケット長フリー

- Header 画像：数MB
+ センサー：数バイト
- Payload フリー 多様なデータ
+ EOP 4bits

Large Packets



センサ

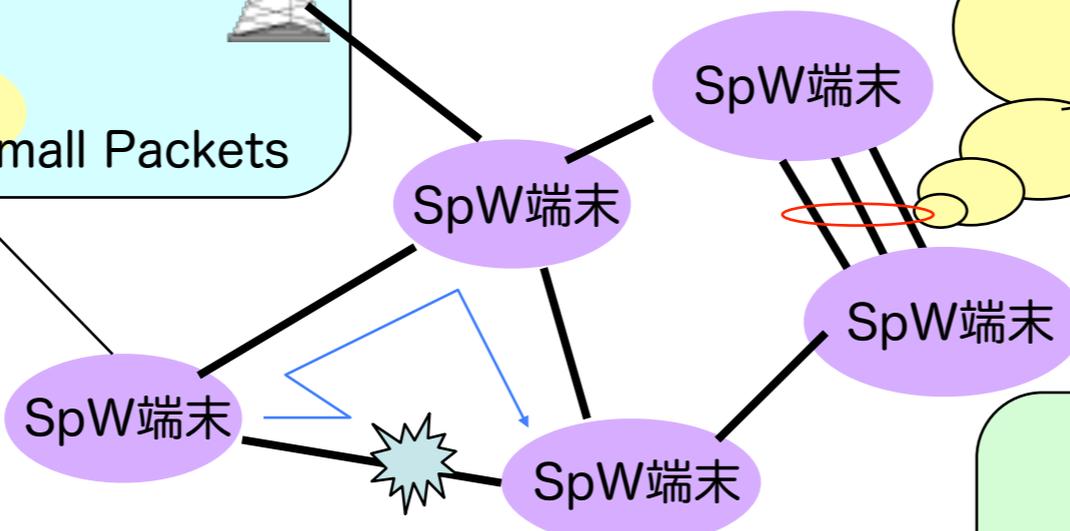
Small Packets

幅広い伝送速度

数Mbps ~ 数Gbps

- 1ch : 200Mbps (DS-DE-02)
- 多チャンネルバルク転送で

さらに高速化可能



高信頼性：フォールトトレラント

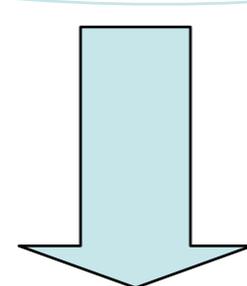
通信中の回線障害でも即座に迂回路へスイッチ

トポロジフリー

各HOSTがSWITCHとして機能

- バス型
- スター型
- リング型
- ツリー型

多様な機器間接続
→ネットワーク
構成が自在



宇宙だけでなく民生用としても利用可能

SpWの経験 (ASTRO-H)



SpW Digital I/O Board



SpW DIO

Space Cube2

検出器 with ASIC

検出器 with ASIC

検出器 with ASIC

検出器 with ASIC

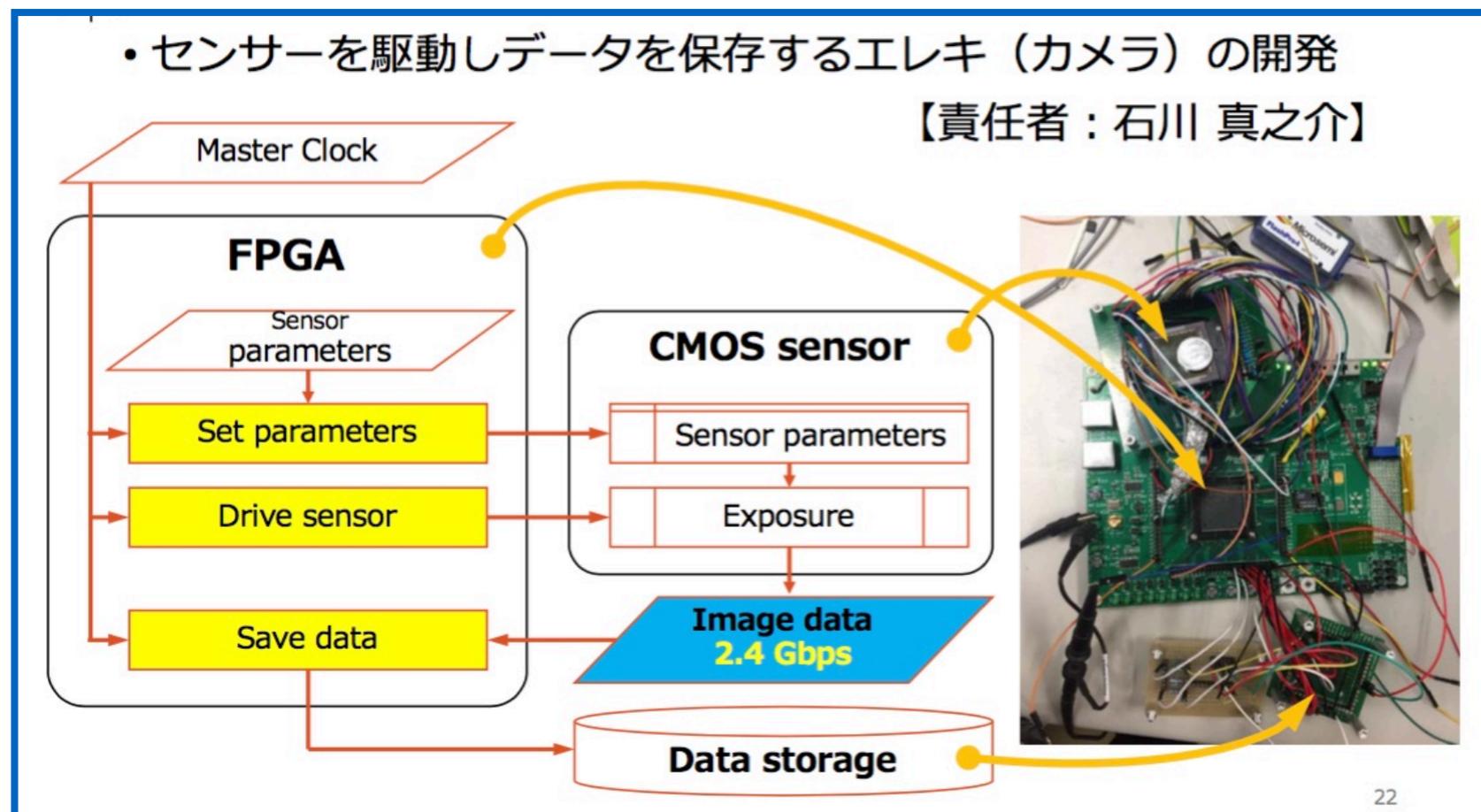


PL (Programmable Logic)

Computer (Processing)

新しいボードへの要求

9 ch 以上の LVDS 入力を持ち、データ 8 ch、クロック 1 ch の DDR データ入力をそのまま (b) データストレージに書き込む機能 (回路およびロジック) を持つこと。最大対応データレートはデータ信号 1 ch に対して 400 Mbps (**8 ch 合計で最大 3.2 Gbps、最大クロックは 200 MHz**) とする。データ書き込み開始、書き込み開始アドレス、データ書き込み終了は FPGA からコントロール可能であること (太陽ロケット観測実験 FOXSI (ISAS, 天文台, SSL/UC, NASA, ミネソタ大学))。将来的には **50 Gbps** まで。

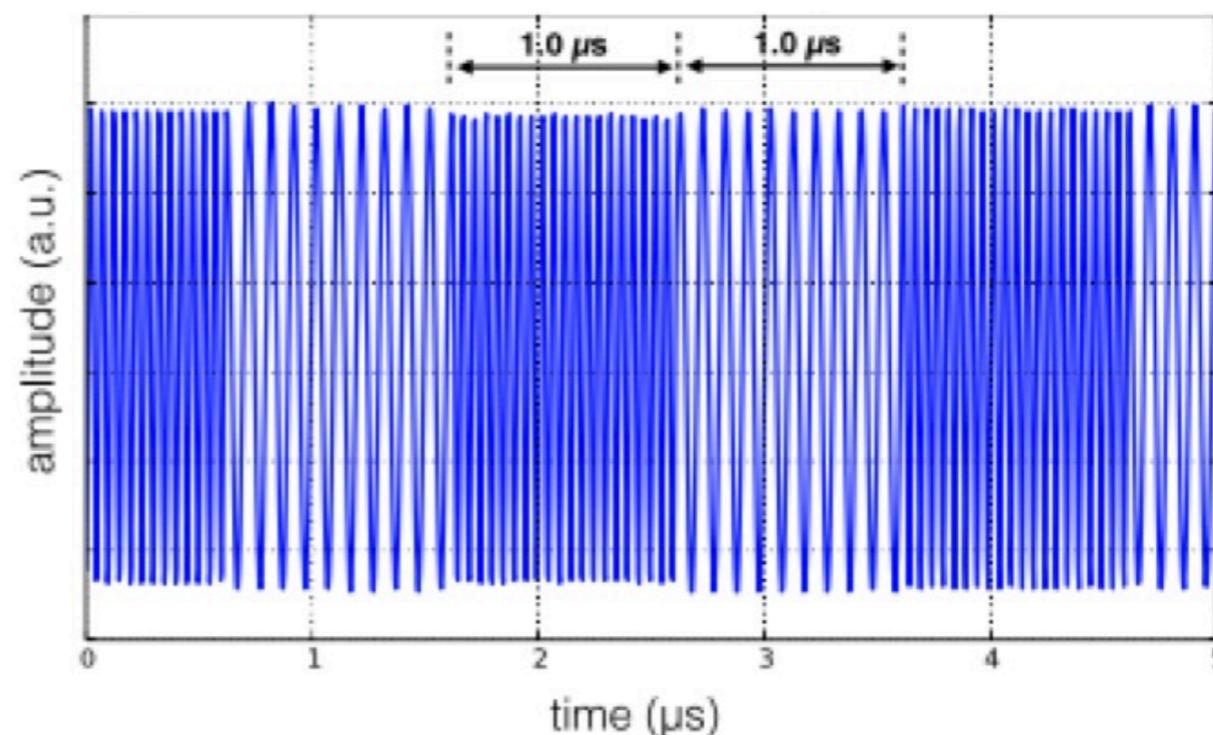
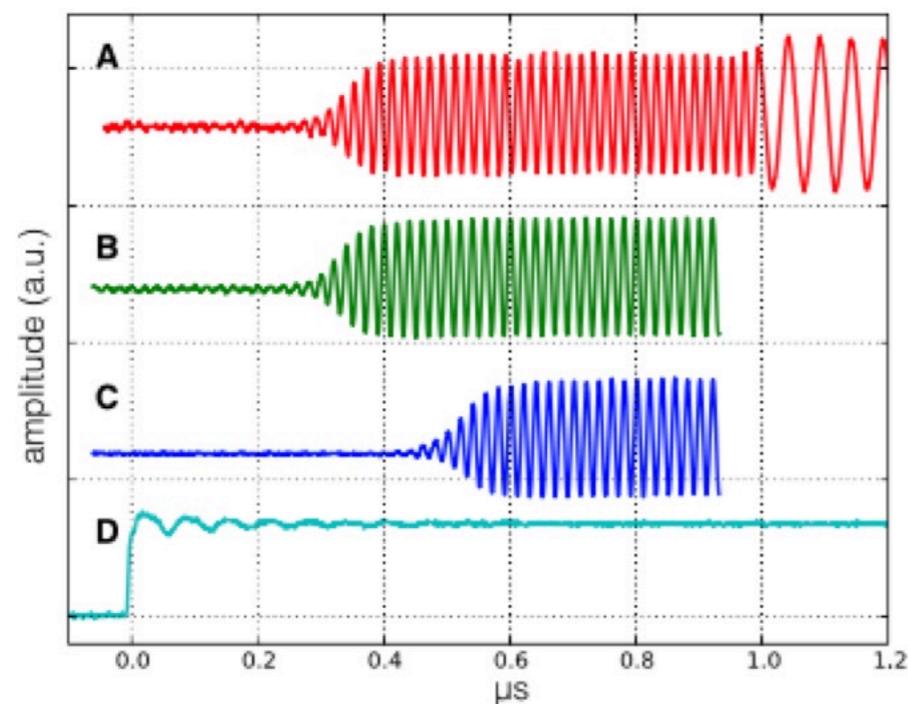


FOXSI-3 ロケット実験
用試作。

これではロケットには
載せられない。

新しいボードへの要求

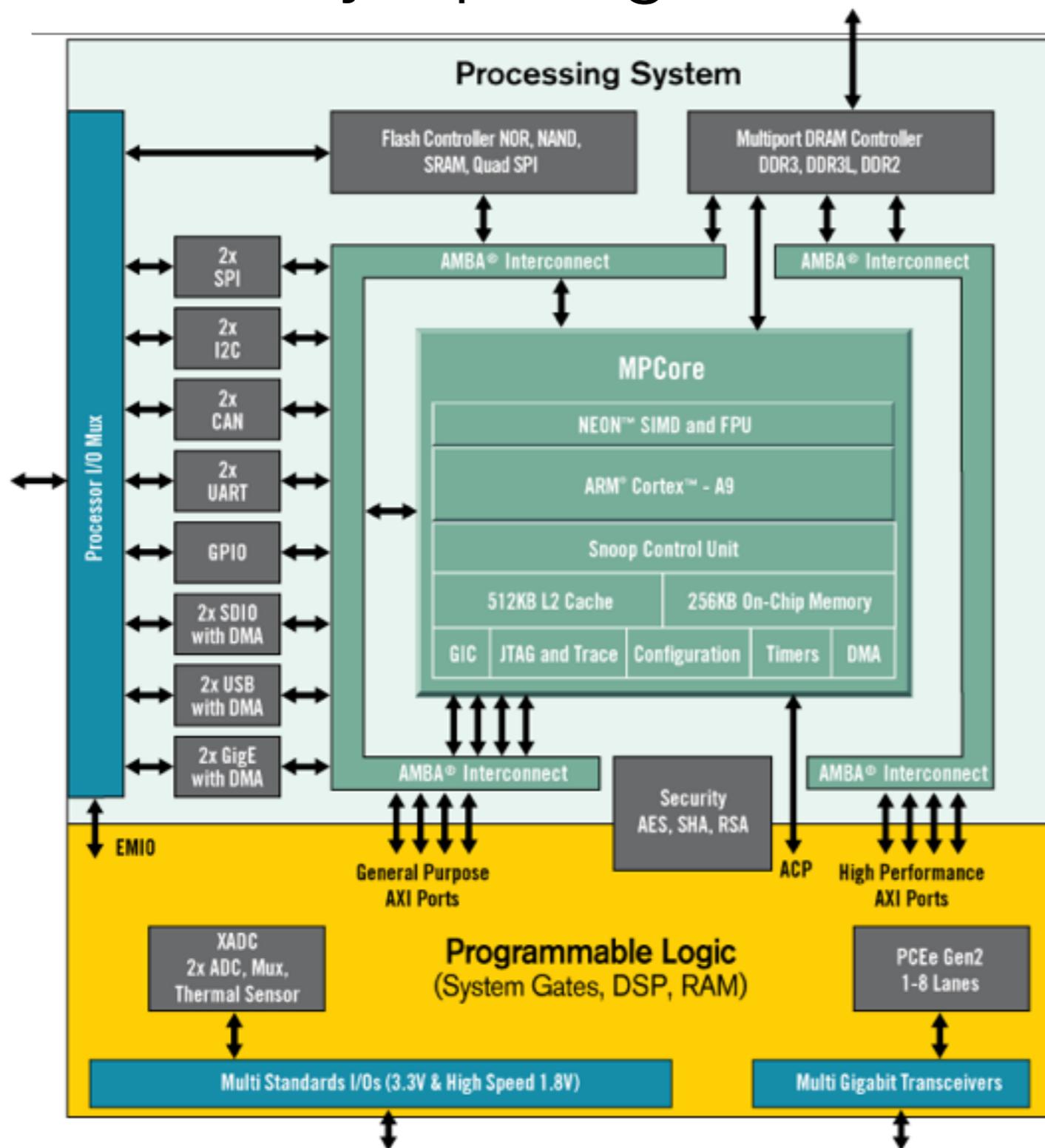
- ・ 200 MHzのサンプリングADCが必要。それで取得した信号から0.1 Hz - 10 MHzというような広い帯域でのノイズスペクトルを準リアルタイムで取得すること。その結果から、デジタルフィルターを設計して、最終的にはDAQに使いたい
- ・ 数10chのLVDS入出力, 数10chのLVCMOSの入出力を, ASIC試験で使いたい。
- ・ Laserなどのコントロールのため, DDS(デジタルシンセサイザチップ) を用いて



Pruttivarasin and Katori (2015)

みたいなことを, 10M - 300 MHzくらいで, 簡単にできるモジュールはないのか?
できたら複数ボードで同期させたいのだが。。

経緯 (Zynq/Zilog)



Zynqの登場

ハードウェアとソフトウェアの
プログラマビリティを備えた

All Programmable SoC

コンパクトで高度にモジュール化された
高速大量データ収集モジュールの

COREになる可能性

PS部に非同期計算 (Linux)

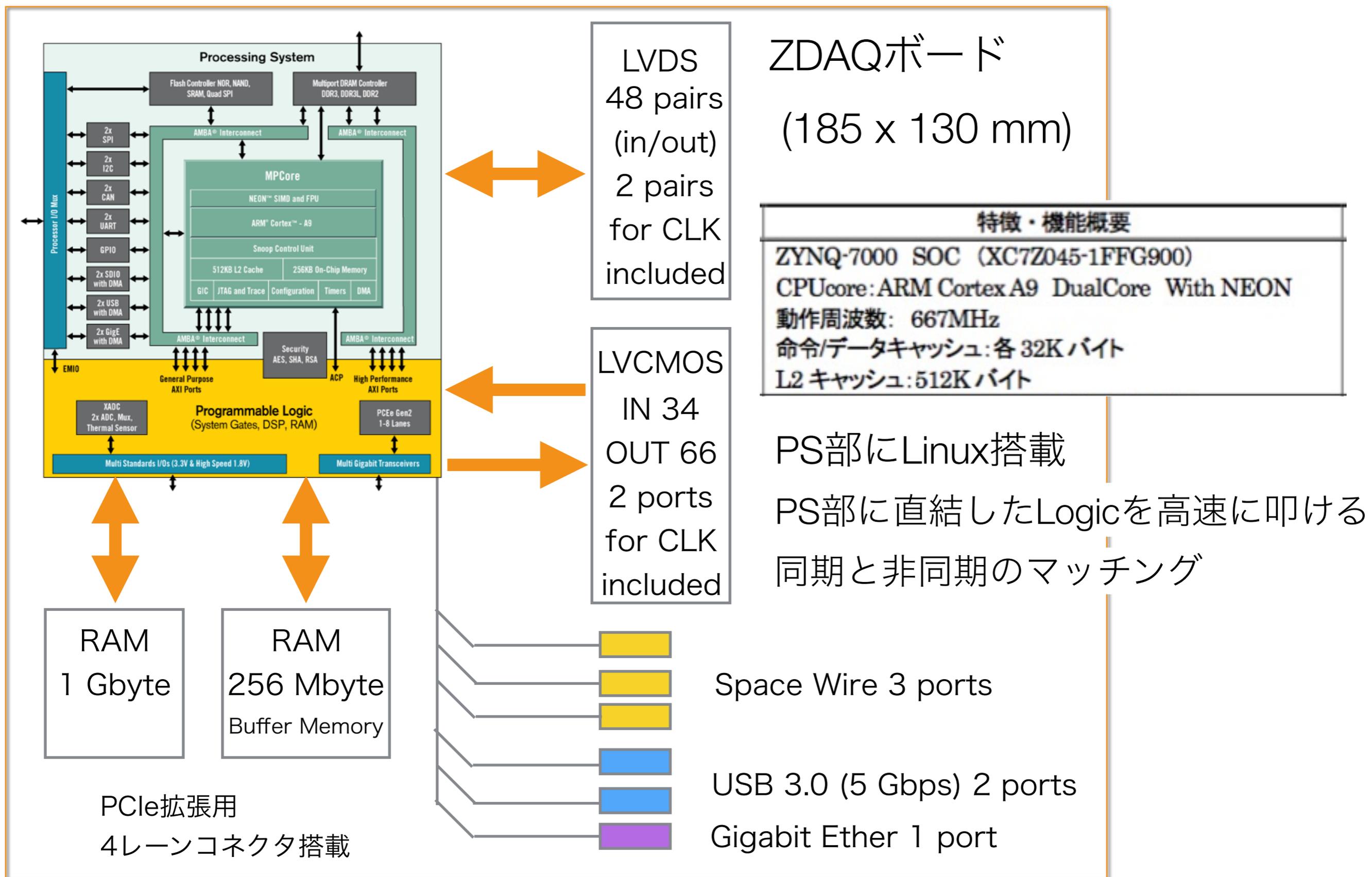
データベース管理

PL部に同期ロジック

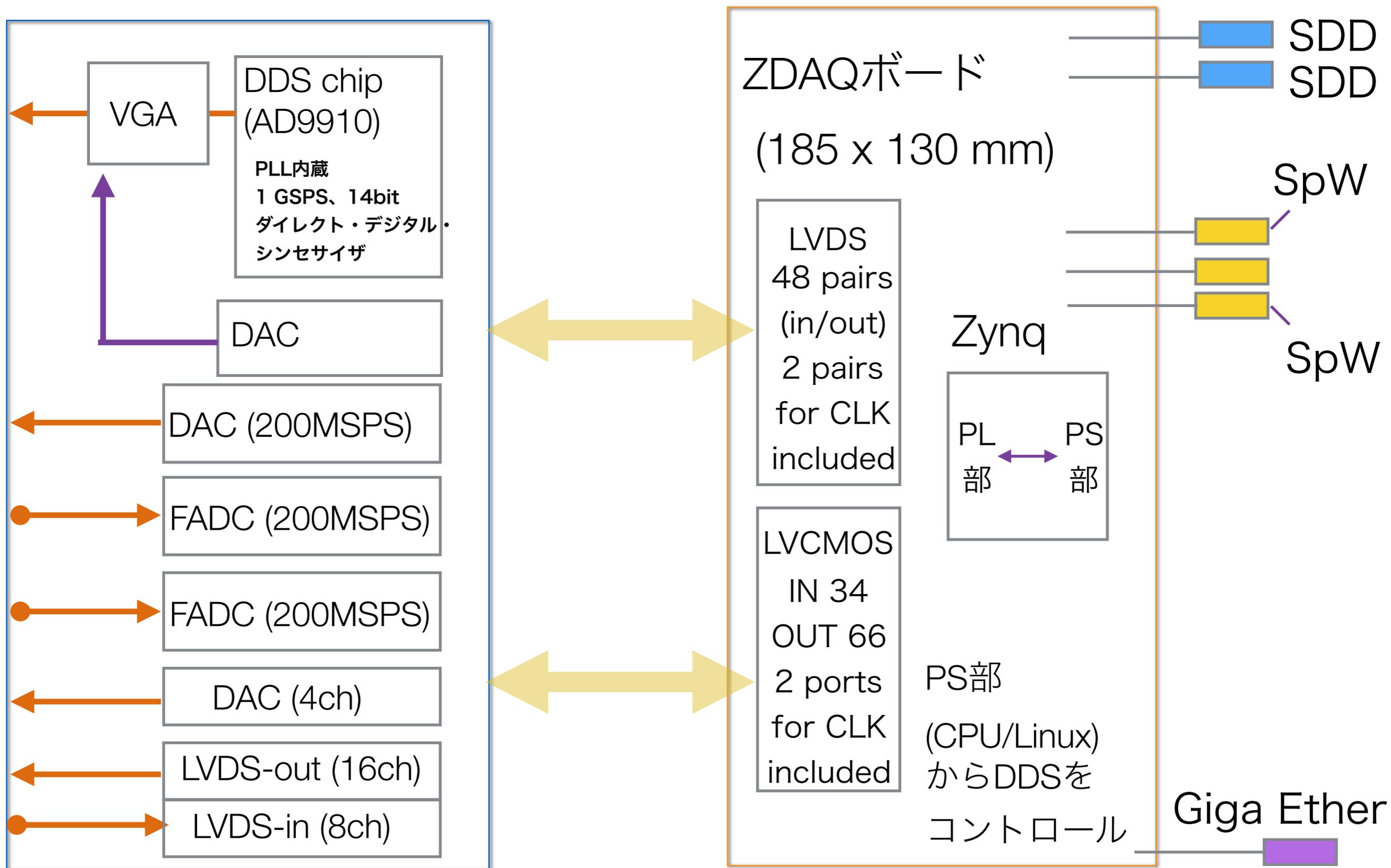
(同期⇔非同期を吸収しながら
CPUのインストラクションを
拡張するように使えるか?)

昔, CAMACアクセスをインストラクションセットに持たせたCPUをビットスライスで
作った実験があった (KEK/YN 1970年代後半から1982年頃, 東大藤井研究室)

ネットワーク型高速DAQモジュール



ZDAQ-Analog ボード (ZDAQのDaughterボード)



おわりに

可搬型のコンプトンカメラ,
Si-CMOSセンサー,
小動物3Dイメージング装置
大口径望遠鏡の次世代焦点面大型カメラ
などに使う予定。

原子冷却や原子核実験などにも使えないか?
(Analogボードは音響光学素子のコントロール?)