

A faded, light blue-tinted image of the Golden Gate Bridge in San Francisco, viewed from a low angle looking up at one of the towers. The bridge's cables and roadway are visible, and the background shows a hazy sky and distant hills.

TULを用いたVisual ScalerとTDCの開発

2009/3/23

原子核物理4年

永尾 翔

目次



- ・ 目的と内容
- ・ 開発環境
- ・ J-Labにおけるハイパー核分光
- ・ Visual Scaler
- ・ TDC
- ・ まとめ & 今後

目的と内容

目的

- TUL, Quartus II を用いて実験におけるトリガーを組めるようになる
- Digital Logicを組んでみる

内容

TUL, Quartus II を用いてLogicを組む

→ counter (signalをcount)

→ TDC (timeをcount)

→ ユニバーサル基板上で表示(7セグメントLED使用)

特徴

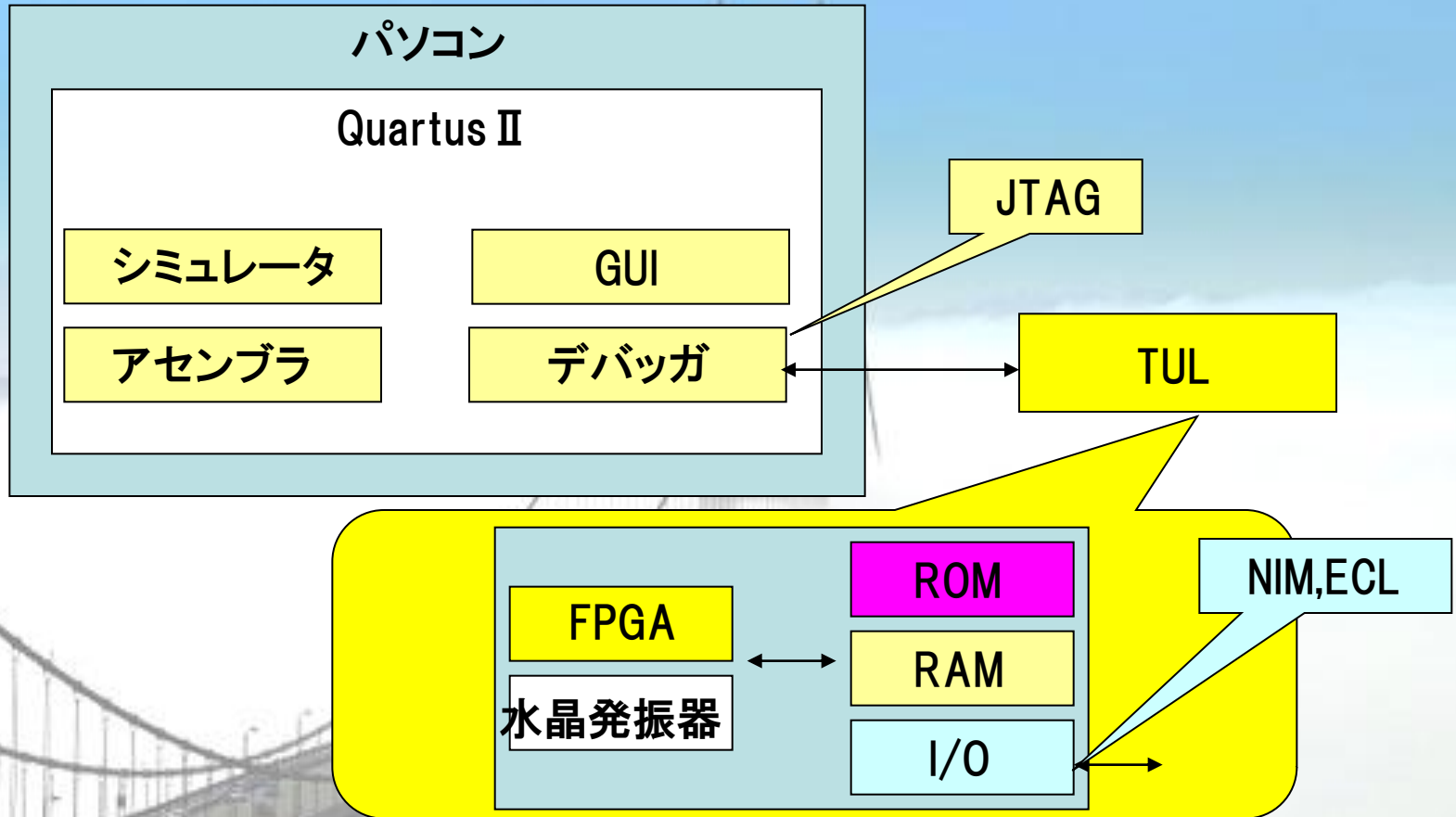
TUL内の回路を変更

→ Hard側を変更することなく様々なものをカウント可能

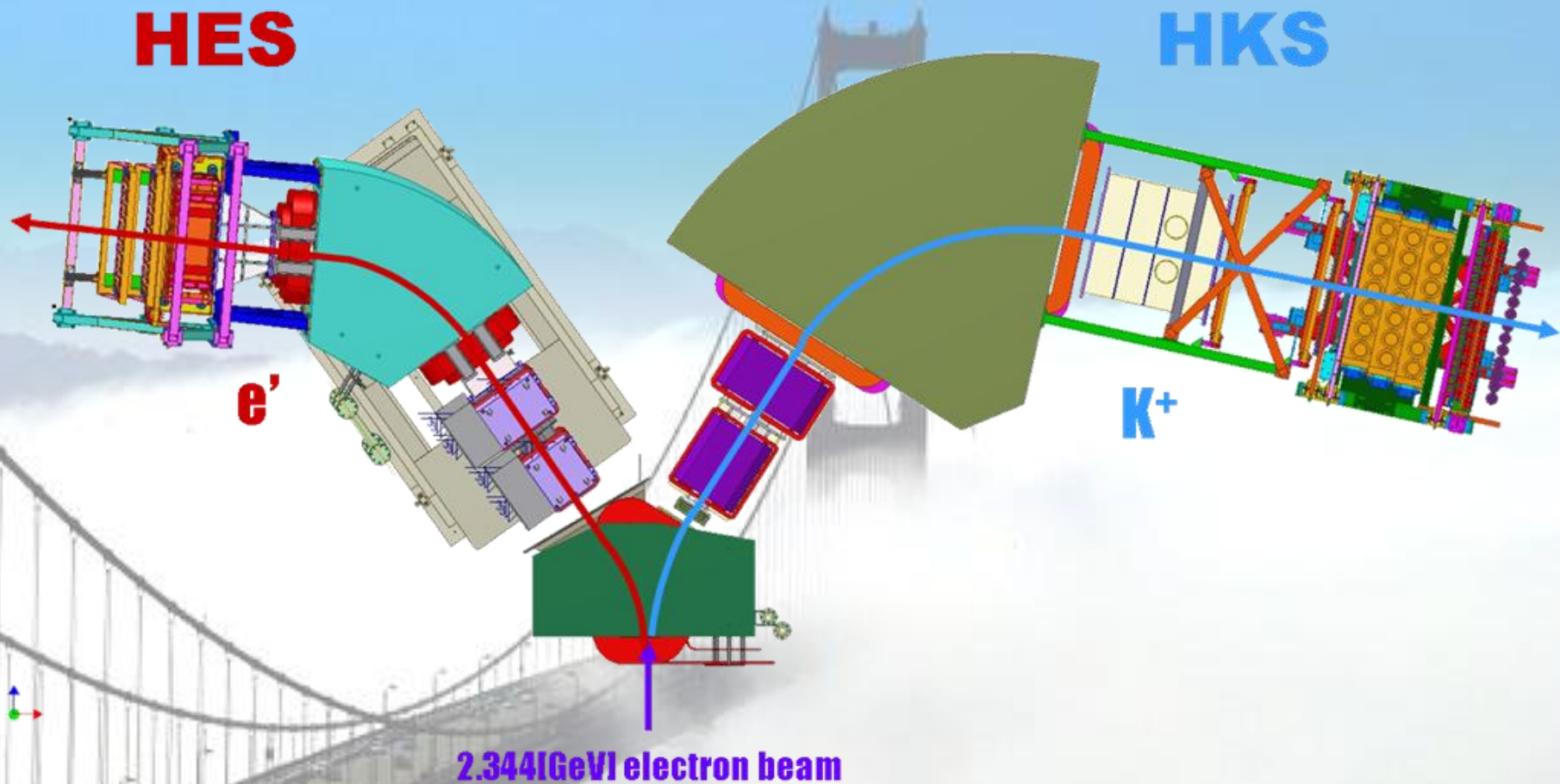
TUL (Tohoku Universal Logic-8040) ... FPGAを搭載したLogic Module
FPGA (Field Programmable Gate Array) ... gateをあらかじめ作りこんでおき、
必要に応じて組み合わせることができるLSI

開発環境

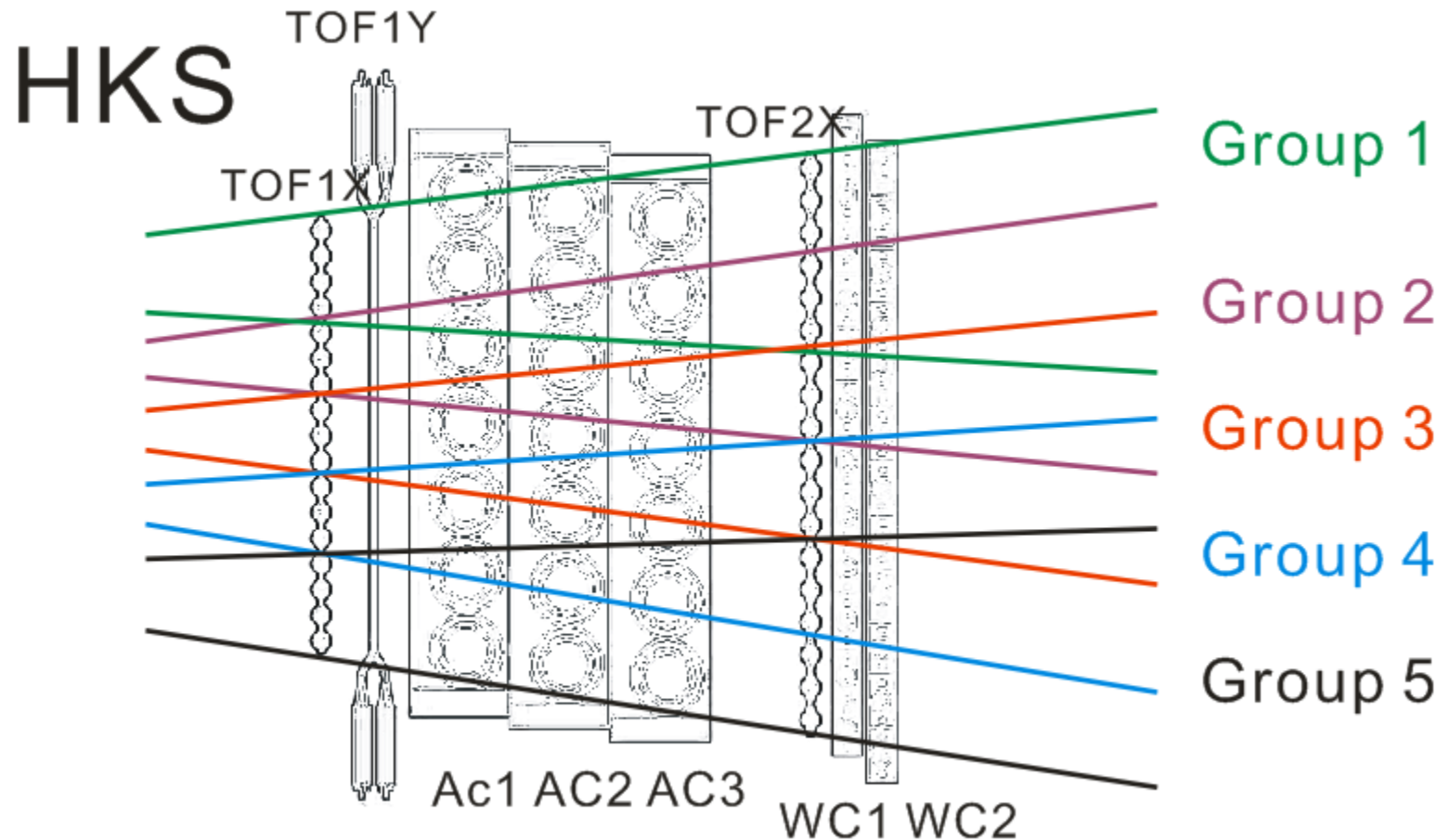
総合開発環境



J-Labにおけるハイパー核分光実験



J-Labにおけるハイパー核分光実験



$$TOF \times WC \times \overline{AC}$$

Visual Scaler

特徴

TUL側 (信号のカウント、表示LED,数字の指定)

- ・ 入力信号 ... NIM or ECL
- ・ 内部Clock ... 33MHz
- ・ 出力周波数 ... 500Hz

Hard側 (信号のdecode、数字の表示)

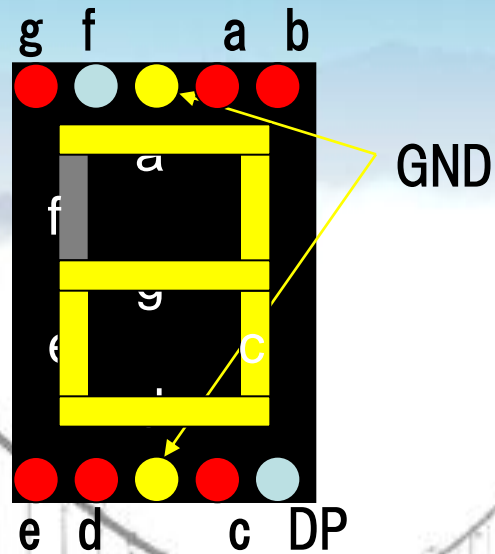
- ・ 8桁のscaler × 8
- ・ 表示部 ... 7セグメント LED
- ・ 入力 ... ECL × 5 (clock × 2, data × 3)
- ・ 出力 ... ECL × 3 (start, stop, reset)
- ・ 電源 ... 100VAC電源



Visual Scaler

点灯方法

- 7セグメント LED



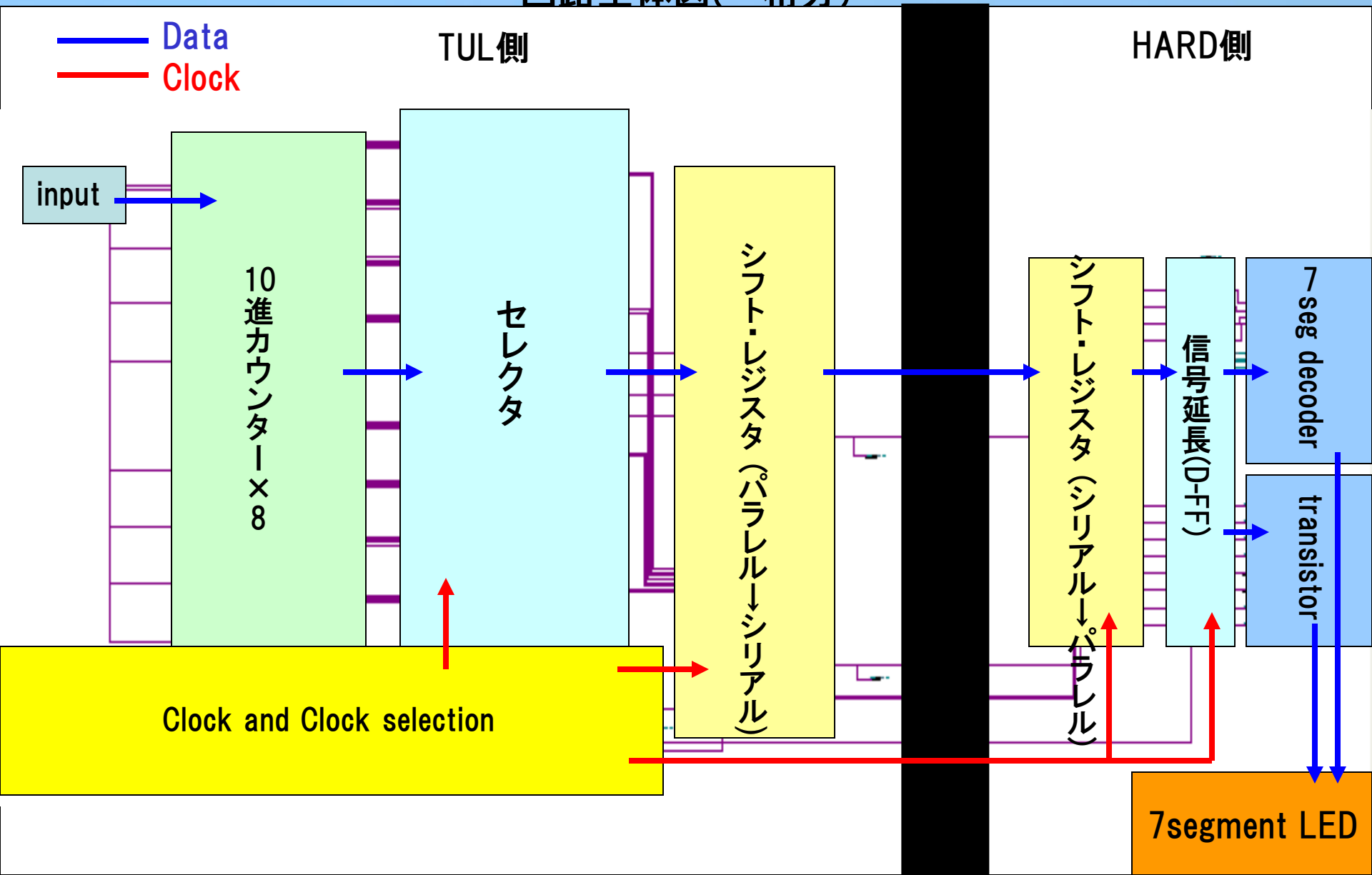
- シリアル転送 & ダイナミック点灯

I/Oの減少
256→3

必要な部品の削減
decoder IC 64→8
抵抗 448→56

Visual Scaler

回路全体図(一桁分)



Visual Scaler Hard側 (Top View)

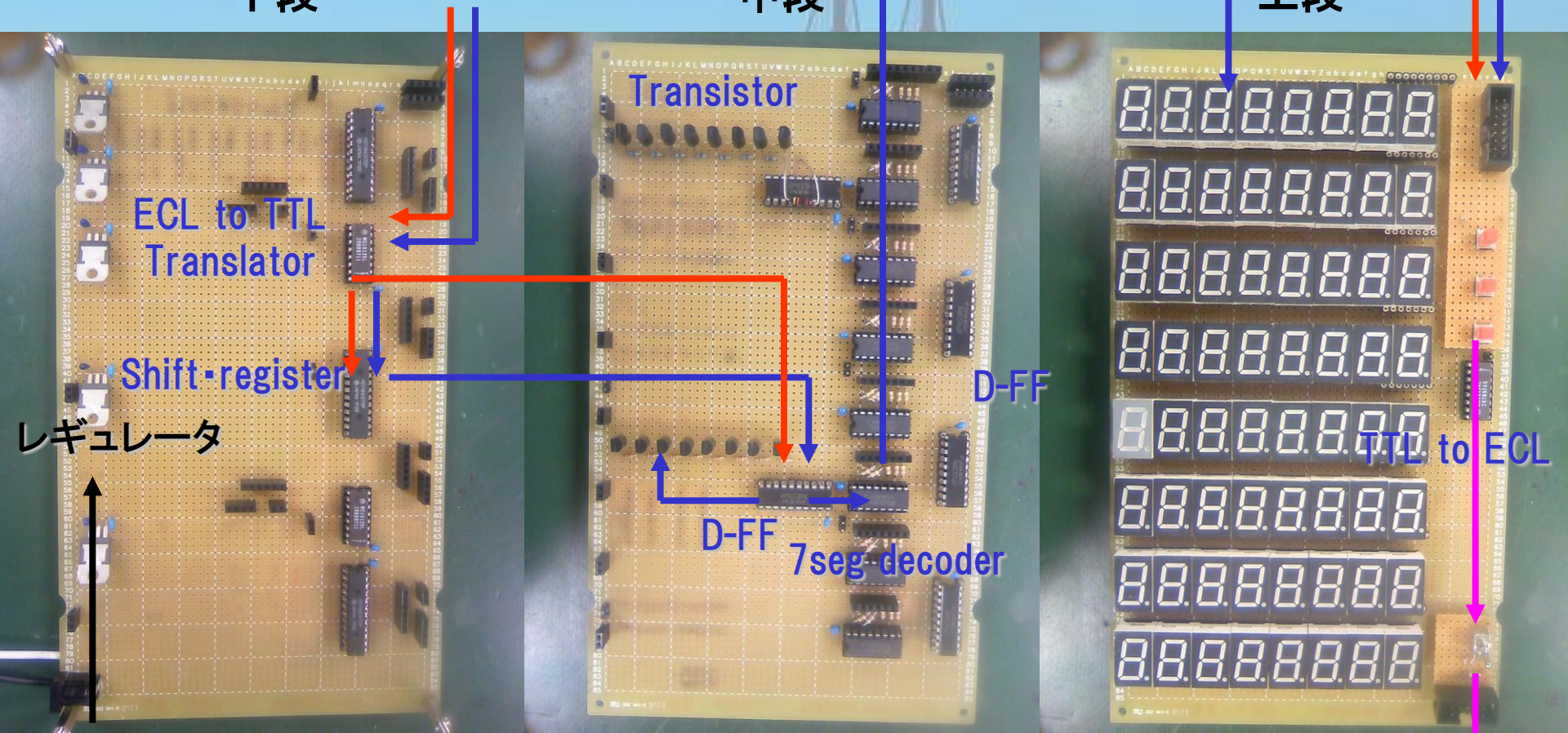
— Data
— Clock

下段

中段

上段

From TUL



Visual Scaler

結果



TDC

- 要求

- 高い分解能
- 正確性

- 特徴

- パルスの数を数えて時間をカウントするTDC
- 入力はstart, stop, reset
 - busyは内部で自動的に生成
- 全てのgate回路をFPGA上で配置を指定
 - 安定した動作

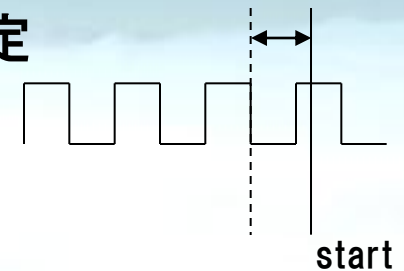
TDC

Plan1. PLLを用いた内部Clock(300MHz)をカウントするのみ

- メリット
 - 安定した動作
- デメリット
 - 低い分解能(max 1bin=3ns)

Plan2. 内部Clockのカウント+start,stopとClockの差を測定

- メリット
 - 高い分解能
 - 外界に影響されにくい
- デメリット
 - セッティングが困難



Plan3. LEを通すことでClockを生成+stopとClockの位置を測定(後述)

- メリット
 - 高い分解能
 - セッティングが容易
- デメリット
 - LEの誤差の影響を受ける

TDC 回路

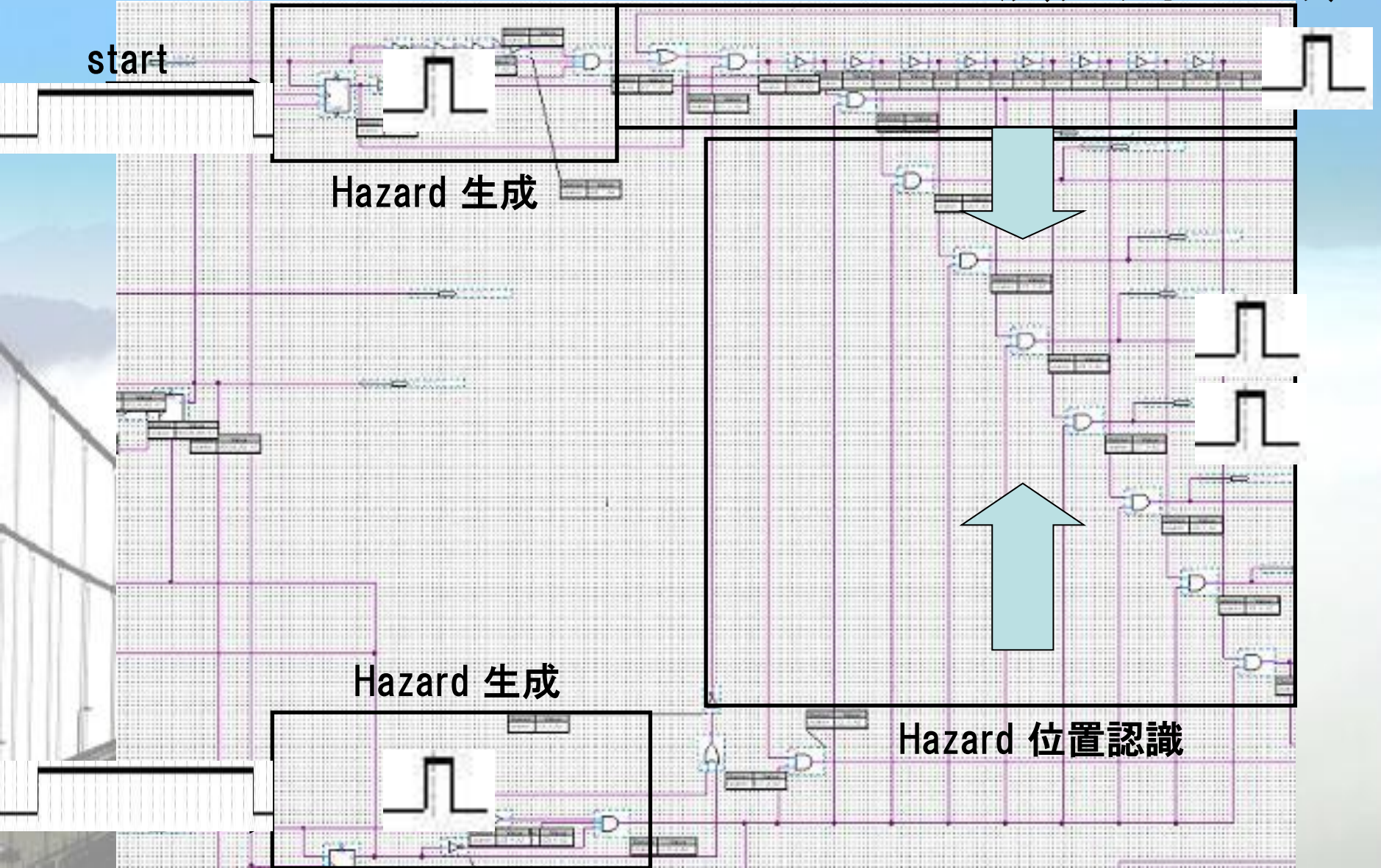
Clock 生成(リングオシレータ)

start

Hazard 生成

Hazard 生成

Hazard 位置認識

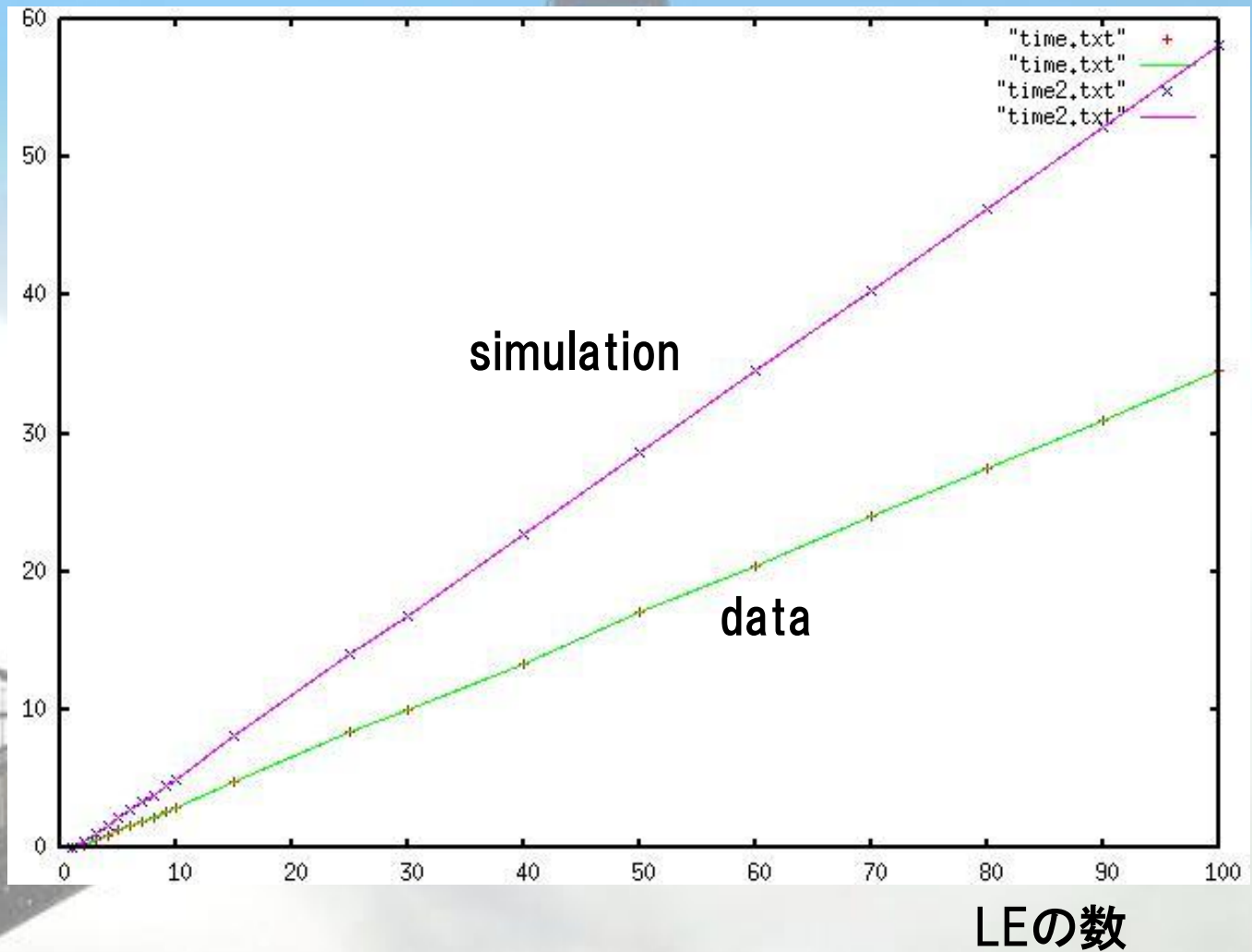


TDC

LEによる影響

- simulationとの差

Delay time
(ns)

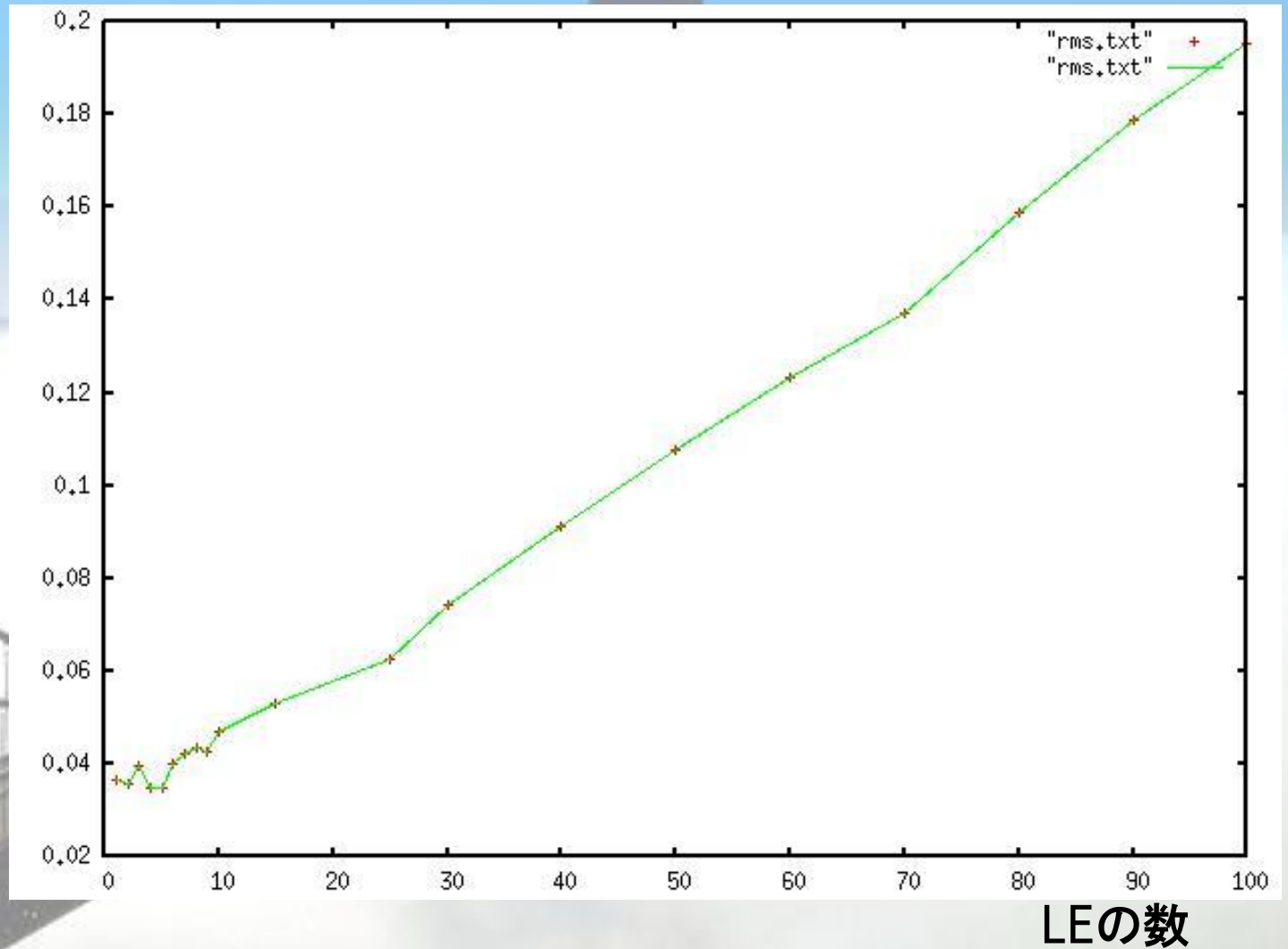


TDC

LEによる影響

- ジッタの蓄積

σ
(ns)



まとめ & 今後

- ・ Visual Scaler
 - ・ 動作良好
- ・ TDC
 - ・ シミュレーションとのタイミングのずれ
 - 数nsecオーダーでは大きな問題
 - オシロスコープ等で信号を確認することも困難
- ・ まとめ
 - ・ 実際に実験で用いられているPLL等を用いてある程度Logicを組むことができた。
- ・ 今後
 - ・ TDCの完成
 - ・ Quartus II ,FPGAへのより深い理解

A photograph of the Golden Gate Bridge in San Francisco, California. The bridge is partially obscured by a thick layer of white fog that fills the lower half of the frame. The sky is a clear, bright blue. The word "終" (Shū) is written in large, bold, black Japanese characters in the center of the image, overlapping the bridge and the fog.

終